

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Yasuo MORIMOTO et al.)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: July 10, 2003)	Confirmation No.: Unassigned
)	
For: SEMICONDUCTOR DEVICE)	
INCLUDING A DIFFERENTIAL)	
TRANSISTOR PAIR)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japan Patent Application No. 2003-090523

Filed: March 28, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: July 10, 2003

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月28日

出 願 番 号
Application Number:

特願2003-090523

[ST.10/C]:

[JP2003-090523]

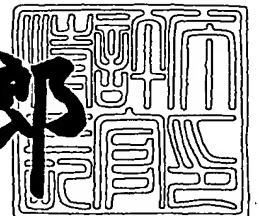
出 願 人
Applicant(s):

三菱電機株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030012

【書類名】 特許願

【整理番号】 543455JP01

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/06

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 森本 康夫

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 熊本 敏夫

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 奥田 孝

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 のトランジスタ、

前記第 1 のトランジスタと電氣的に並列に配置される第 2 のトランジスタ、

前記第 1 のトランジスタの第 1 の端子に互いに電氣的に並列に接続される複数のダイオード素子を含む第 1 のダイオード群、および

前記第 2 のトランジスタの第 1 の端子に互いに電氣的に並列に接続される複数のダイオード素子を含む第 2 のダイオード群を備え、前記第 1 のダイオード群のダイオード素子の形成する重心位置が、前記第 2 のダイオード群のダイオード素子が形成する重心位置と重なり合う、半導体装置。

【請求項 2】 前記第 1 および第 2 のトランジスタは、それぞれの第 2 の端子が共通のノードに相互接続される、請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 および第 2 のトランジスタの第 1 の端子は、別々の内部配線を介して異なる内部信号を受ける、請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 および第 2 のトランジスタは、それぞれ、絶縁ゲート型電界効果トランジスタを備え、前記第 1 の端子は、前記絶縁ゲート型電界効果トランジスタの制御電極ノードである、請求項 1 記載の半導体装置。

【請求項 5】 前記第 1 のダイオード群の複数のダイオード素子は、所定の電圧に接続される第 1 導電型の第 1 の基板領域表面に互いに離れて形成されて、前記第 1 のトランジスタの第 1 の端子に接続される複数の第 2 導電型の第 1 の不純物領域を備え、

前記第 2 のダイオード群の複数のダイオード素子は、前記第 1 の半導体基板領域表面に互いに離れて配置され、前記第 2 のトランジスタの第 1 の端子に接続される第 2 導電型の複数の第 2 の不純物領域を備え、前記複数の第 2 の不純物領域の重心位置が、前記複数の第 1 の不純物領域が形成する重心位置と重なり合う、請求項 1 記載の半導体装置。

【請求項 6】 前記第 1 および第 2 の不純物領域は、行および列の格子状に前記第 1 の基板領域表面に形成される、請求項 5 記載の半導体装置。

【請求項 7】 前記第 1 および第 2 の不純物領域は、前記行および列において交互に配置される、請求項 6 記載の半導体装置。

【請求項 8】 前記第 1 および第 2 の不純物領域は、一次元的に整列して配置される、請求項 5 記載の半導体装置。

【請求項 9】 前記第 1 の不純物領域は前記第 2 の不純物領域を間に挟むように配置される、請求項 8 記載の半導体装置。

【請求項 10】 前記第 1 および第 2 の不純物領域は、四辺形の頂点に位置するように配置され、前記四辺形の第 1 の対角線上の頂点の位置に前記第 1 の不純物領域が対向して配置され、前記四辺形の第 2 の対角線上の頂点位置に前記第 2 の不純物領域が対向して配置される、請求項 5 記載の半導体装置。

【請求項 11】 前記第 1 および第 2 の不純物領域を取囲むように前記第 1 の基板領域に形成される第 1 導電型の第 3 の不純物領域をさらに備える、請求項 5 記載の半導体装置。

【請求項 12】 前記第 3 の不純物領域は、前記第 1 および第 2 の不純物領域全体の外部に配置される、請求項 11 記載の半導体装置。

【請求項 13】 前記第 3 の不純物領域は、前記第 1 および第 2 の不純物領域それぞれを取囲むように形成される、請求項 11 記載の半導体装置。

【請求項 14】 前記第 3 の不純物領域は連続的に形成される、請求項 12 または 13 記載の半導体装置。

【請求項 15】 前記第 3 の不純物領域は互いに分離して形成される複数の分割領域を含む、請求項 12 または 13 記載の半導体装置。

【請求項 16】 前記第 1 および第 2 のダイオード群のダイオード素子を形成する第 1 の基板領域は、前記第 1 および第 2 のトランジスタを形成する第 2 の基板領域と導電型が異なり、前記第 1 の基板領域は前記第 1 および第 2 のダイオード群のダイオード素子を逆バイアス状態に設定するようにバイアスされる、請求項 1 記載の半導体装置。

【請求項 17】 前記第 1 および第 2 のダイオード群のダイオード素子は、共通に第 1 導電型の第 1 の基板領域に形成され、
前記半導体装置は、さらに、

前記第 1 の基板領域を取囲むように形成される第 2 導電型の第 2 の基板領域を備え、前記第 1 および第 2 の基板領域は逆バイアス状態に設定され、かつ前記第 2 の基板領域は、前記第 1 および第 2 のトランジスタが形成される基板領域と導電型が異なる、請求項 1 記載の半導体装置。

【請求項 1 8】 前記第 1 および第 2 のトランジスタは、それぞれ、複数のトランジスタ素子を備え、前記トランジスタ素子は、前記第 1 および第 2 のダイオード群が形成される領域を取囲むように形成され、

前記第 1 のトランジスタを形成するトランジスタ素子の形成する重心の位置が、前記第 2 のトランジスタを形成するトランジスタ素子が形成する重心の位置と互いに重なり合う、請求項 1 記載の半導体装置。

【請求項 1 9】 前記第 1 のダイオード群の複数のダイオード素子は、基板領域表面に互いに離れて配置される複数の第 1 の不純物領域を備え、

前記第 2 のダイオード群の複数のダイオード素子は、前記基板領域表面に互いに離れて形成される複数の第 2 の不純物領域を備え、

前記第 1 のトランジスタを形成するトランジスタ素子と前記第 1 の不純物領域とを接続する配線は、形状および長さの少なくとも一方において、前記第 2 のトランジスタを形成するトランジスタ素子と前記第 2 の不純物領域とを接続する配線と等しい、請求項 1 8 記載の半導体装置。

【請求項 2 0】 前記トランジスタ素子と対応の不純物領域との接続の配線は、利用可能な配線のうち最小配線長となる配線を備える、請求項 1 8 記載の半導体装置。

【請求項 2 1】 前記トランジスタ素子と対応の不純物領域との接続の配線は、利用可能な配線のうちの最下層の配線を備える、請求項 1 8 記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置に関し、特に、差動対を構成するトランジスタを含む半導体装置に関する。より特定的には、この発明は、この差動対トランジスタの

特性変化を保護するダイオードの配置に関する。

【0002】

【従来の技術】

差動増幅器およびミキサなどにおいては、入力段に、差動的に動作する差動トランジスタ対が配置されて、差動入力进行处理する。このような差動トランジスタ対において微妙な特性の差が存在する場合、オフセット電圧などさまざまな問題が生じることが一般に知られている。特に、入力部の差動対で用いられるトランジスタのしきい値電圧および／またはドレイン電流に差が存在する場合、回路の特性に大きな問題が生じることが多い。

【0003】

これらのトランジスタ特性の差が発生しないように、レイアウト作製時にトランジスタ素子の重心位置を揃えるなど細心の注意が払われることが多い。しかしながら、このようなトランジスタのレイアウト上の対策のみでは解決できない項目もある。その1つが、たとえば特許文献1（特開2002-141421号公報）において議論されているアンテナ効果と呼ばれる特性劣化の問題である。このアンテナ効果は、MOSトランジスタ（絶縁ゲート型電界効果トランジスタ）を構成要素とする半導体装置の製造において用いられるプラズマ工程での配線層への帯電ストレスによってMOSトランジスタの特性に影響が生じる。

【0004】

具体的に、半導体の製造工程、特に配線工程においては、配線レイアウトを所望の形状にパターニングするために、プラズマエッチングが用いられることが多い。このプラズマエッチング工程において、パターニングされた金属配線に、プラズマ荷電粒子が蓄積され、金属配線がチャージアップ状態となる。この金属配線が、MOSトランジスタのゲートにコンタクトホールを介して接続されている場合、ポリシリコンでたとえば構成されるゲート電極層にチャージアップされたプラズマ荷電粒子が流れ込み蓄積される。このゲート電極層に蓄積される電荷により、ゲート面の電位が上昇し、ゲート電極層下に存在するゲート絶縁膜に大きな電位差が生じ、ゲート絶縁膜に大きな電圧ストレスが印加される。

【0005】

この電圧ストレスにより、ゲート絶縁膜の破壊が生じたり、また破壊に至らなくても、ゲート絶縁膜の電位差による電界により、電子がゲート絶縁膜中にトラップされると、製造後のMOSトランジスタのしきい値電圧 V_{th} およびドレイン電流 I_{ds} などの特性が変化することがある。このような現象が、アンテナ効果と呼ばれ、その効果の度合いは、プラズマエッチング時に発生するプラズマ荷電粒子が蓄積される配線層の面積とゲート絶縁膜の面積との比（アンテナ比）に依存する。

【0006】

アンテナ効果は、すべてのトランジスタについて生じる可能性がある。しかしながら、そのトランジスタ特性の変化量は、それぞれのトランジスタに接続する金属配線部分により左右されるため、均等ではない。差動回路の入力段においては、正確な差動動作のためには、特性の一致した（整合のとれた）トランジスタの組合せが必要とされる。したがって、このような差動回路の入力段でアンテナ効果に起因する現象が生じた場合、差動回路の特性が大きく悪化する。このような特性劣化を生じるのを防止するために、先の特許文献1においては、以下の2つの対策が提案されている。

【0007】

(1) 差動回路入力段トランジスタに接続する金属配線の長さなどを同一にする、および

(2) 差動回路入力段のトランジスタのゲートに、電荷放電用のダイオードを接続する。

【0008】

【特許文献1】

特開2002-141421号公報

【0009】

【発明が解決しようとする課題】

前述の特許文献1においては、ダイオードを用いて蓄積電荷を基板領域へ逃がす構成において、差動段トランジスタの入力信号の配線長を一致させるためにダ

ミー配線を配置することが示されている。しかしながら、このようなダミー配線を配置する領域が必要となり、配線面積が増大する。また、レイアウトによっては、このようなダミー配線を配置することができない場合もあり、また逆に、ダミー配線を配置するために回路のレイアウトが制限を受け、効率的にトランジスタおよび配線を配置することができなくなる問題が生じる。

【0010】

また、この特許文献1に示されるように、差動対トランジスタのゲートで、金属配線を介してダイオードを接続することにより、プラズマ工程時における蓄積電荷を基板領域に逃がすことができ、トランジスタの特性劣化を抑制することは可能である。しかしながら、ダイオードの一方電極として、基板領域が利用されるため、この基板領域において発生したノイズがダイオードを介して差動段入力信号線に伝達され、入力信号にノイズが重畳され、入力信号を正確に差動的に増幅することができなくなるという問題が生じる。

【0011】

問題となるノイズは、半導体回路装置内のいずれの部分で発生するかは、予め特定することができない。ノイズは、この差動段を含む回路以外の領域で発生して、基板領域へ伝達される。このノイズの発生源としては、デジタル回路、高周波回路および電源線などさまざまな回路／配線が予想される。このノイズは、基板を伝搬する間に一部が減衰するものの、ダイオードの容量成分を介して、微小電位差を増幅する差動対トランジスタに入力されると、大きく増幅される。この差動対トランジスタにおいて、差動入力に印加されるノイズの大きさが等しい場合には、この差動段の同相成分除去能力によりノイズが除去される。

【0012】

しかしながら、常に、ノイズ源からダイオードまでの距離が等しいとは限らず、このノイズ源から差動対トランジスタの入力に配置されたダイオードまでの距離が異なり、応じてノイズ量が異なるため、差動段における同相除去特性では十分にノイズ成分を除去できずに、増幅される。

【0013】

前述の特許文献1においては、単にプラズマエッチング工程時において発生す

るプラズマ荷電粒子を除去することのみが考慮されており、ダイオードに基板領域を介して伝達されるノイズの影響については何ら考慮されていない。

【0014】

それゆえ、この発明の目的は、差動トランジスタ対の特性を一致させつつ基板ノイズの影響を受けることなく正確に差動動作を行なうことのできる半導体装置を提供することである。

【0015】

この発明の他の目的は、アンテナ効果耐性および基板ノイズ耐性の優れた差動入力段を有する半導体装置を提供することである。

【0016】

【課題を解決するための手段】

この発明に係る半導体装置は、第1のトランジスタと、この第1のトランジスタと電氣的に並列に配置される第2のトランジスタと、第1のトランジスタの第1の端子に互いに電氣的に並列に接続される複数のダイオード素子を含む第1のダイオード群と、第2のトランジスタの第1の端子に互いに電氣的に並列に接続される複数のダイオード素子を含む第2のダイオード群を備える。第1のダイオード群のダイオード素子の重心位置が、第2のダイオード群のダイオード素子の重心位置と重なり合う。

【0017】

第1および第2のダイオード群のダイオード素子の重心位置が重なり合うように配置することにより、これらの第1および第2のダイオード群は、任意の方向のノイズに対して同じ影響を受け、応じて、同じノイズ成分量を、第1および第2のトランジスタの第1の端子に伝達する。これにより、ノイズの総量が等しく、確実に、差動段の同相成分除去特性によりノイズが除去され、正確に差動動作を行なうことができる。

【0018】

また、第1および第2のダイオード群を配置することにより、第1および第2のトランジスタの第1の端子に対するアンテナ効果によるこれらのトランジスタの特性変化を防止することができる。

【 0 0 1 9 】

【発明の実施の形態】

〔実施の形態 1〕

図 1 は、この発明の実施の形態 1 に従う半導体装置の構成を概略的に示す図である。図 1 において、入力ノード ND 1 および ND 2 に前段の回路から与えられる内部信号 IN+ および IN- を内部配線 IL 1 および IL 2 を介して受ける内部回路 CK を含む。この内部回路 CK は、その入力段に、差動トランジスタ 6 および 7 を含む。差動トランジスタ 6 および 7 は、一例として、N チャネル MOS トランジスタ（絶縁ゲート型電界効果トランジスタ）で構成され、MOS トランジスタ 6 のゲート（第 1 の端子）が、内部配線 IL 2 に結合され、MOS トランジスタ 7 のゲート（第 1 の端子）が、内部配線 IL 1 に接続される。MOS トランジスタ 6 および 7 のそれぞれの一方導通端子（ソース領域；第 2 の端子）が、共通に接続される。

【 0 0 2 0 】

内部回路 CK は、入力段に差動トランジスタ対が設けられていればよく、この内部回路 CK は、入力信号 IN+ および IN- を差動的に増幅する差動増幅回路であってもよく、また、これらの入力信号 IN+ および IN- を混合するミキサであってもよい。また、入力信号 IN+ および IN- の一方が基準電圧であってもよい。

【 0 0 2 1 】

ノード ND 1 および ND 2 は、内部ノードであり、前段回路からの信号 IN+ および IN- を受ける。この前段回路は、入力バッファ回路であってもよく、さらに、所定の処理を行う内部回路であってもよい。この前段回路は、差動信号 IN+ および IN- を生成する回路であればよい。

【 0 0 2 2 】

内部配線 IL 1 および IL 2 は、たとえばアルミニウム配線または銅配線などの金属配線で構成され、パターニング時のプラズマエッチングにより、プラズマ荷電粒子が蓄積される材料で構成される。内部配線 IL 1 には、ダイオード 1 および 4 が接続され、内部配線 IL 2 には、ダイオード 2 および 3 が接続される。

これらのダイオード1から4は、それぞれ逆バイアス状態となるように、接続される。図1においては、これらのダイオード1から4は、それぞれ、カソードが内部配線I L 1またはI L 2に接続され、アノードが、接地電位に結合される状態を示す。

【0023】

これらのダイオード1から4は、以下に詳細に説明するように、同じサイズ（面積）を有し、対角線上に配置されるダイオード1および4の領域の重心位置と、別の対角線上に配置されるダイオード2および3の領域の重心位置が、共に位置5で一致する。このように、ダイオード1および4の重心位置およびダイオード2および3の重心位置が一致する配置は、「コモンセントロイド配置」と呼ばれる。

【0024】

ダイオード1から4は、同一の対角線上に配置されるダイオードが共通の内部配線に接続される。したがって、ノイズが、いずれの方向から伝搬してきても、そのノイズの大きさが、内部配線I L 1およびI L 2に対して同じとなり、内部配線I L 1およびI L 2に同じ大きさの同相ノイズ成分が重畳され、MOSトランジスタ6および7により、同相成分が除去される。また、プラズマエッチング工程時において、内部配線I L 1およびI L 2に電荷が蓄積しても、ダイオード1から4により、基板領域に放電され、アンテナ効果は抑制される。

【0025】

図2は、図1に示すダイオードの平面レイアウトを概略的に示す図である。図2において、4つの矩形状の不純物領域D 1 A、D 1 B、D 2 AおよびD 2 Bが2行2列に整列して配置される。これらの4つの不純物領域D 1 AからD 2 Bは、サイズが同じである。不純物領域D 1 AおよびD 1 Bが、ダイオード1および3の一方電極をそれぞれ構成し、不純物領域D 2 AおよびD 2 Bが、ダイオード2および4のそれぞれの一方電極を形成する。これらのダイオード1から4のそれぞれの他方電極は、これらの不純物領域D 1 AからD 2 Bが形成される基板領域により与えられる。

【0026】

不純物領域D 1 AおよびD 2 Bが内部配線I L 1により電氣的に接続され、不純物領域D 2 AおよびD 1 Bが、内部配線I L 2により相互接続される。したがって、不純物領域D 1 AおよびD 2 Bの重心位置が、位置5で与えられ、また同様、不純物領域D 2 AおよびD 1 Bの重心位置が位置5で与えられる。すなわち、不純物領域D 1 AからD 2 Bを、同一サイズ（面積）の不純物領域でそれぞれ形成して、対角線位置の不純物領域を相互接続することにより、内部配線I L 1に接続されるダイオード1および4の重心位置と内部配線I L 2に接続されるダイオード2および3の重心位置を一致させることができ、コモンセントロイド配置を実現することができる。

【0027】

図3は、図2に示すダイオード1および3の断面構造を概略的に示す図である。図3において、P基板11表面にP型層10が形成される。P型層10上にPウェル9が形成される。このPウェル9表面に、不純物領域D 1 AおよびD 1 Bが間を置いて形成される。不純物領域D 1 AおよびD 1 Bの両側に、素子分離膜（分離絶縁膜）8 aおよび8 cが配置され、不純物領域D 1 AおよびD 1 Bの間に素子分離膜8 bが配置される。不純物領域D 1 AおよびD 1 Bは、それぞれ、n型不純物領域であり、不純物領域D 1 AおよびD 1 BそれぞれとPウェル9の間に、PN接合が形成され、PNダイオードが形成される。このPウェル9は、たとえば接地電圧にバイアスされる。

【0028】

Pウェル9は、ダイオード1から4を形成する領域として専用に設けられても良く、この場合、MOSトランジスタ6および7などの他の素子は、P型層10上に別に設けられたPウェルまたはNウェル内に形成される。これに代えて、Pウェル9が、MOSトランジスタ6および7を形成する基板領域としても用いられてもよく、また、MOSトランジスタ6および7は、P型層10表面に形成されてもよい。

【0029】

不純物領域D 1 Aは内部配線I L 2を介してMOSトランジスタ6のゲート（制御電極）に接続され、不純物領域D 1 Bが内部配線I L 1を介してMOSトラ

ンジスタ7のゲートに接続される。したがって、Pウェル9表面に不純物注入を行なうことにより、同一面積の不純物領域を、容易に整列させて形成することができ、内部配線IL1およびIL2それぞれに接続されるダイオードの重心位置を一致させることができる。

【0030】

内部配線IL1およびIL2に負電荷が蓄積した場合、不純物領域D1AおよびD1Bにおいて、PNダイオードが順方向にバイアスされ、PNダイオードが導通し、この負電荷は、Pウェル9により吸収される。一方、内部配線IL1およびIL2に正電荷が蓄積した場合、ダイオード1および3の逆方向リーク電流により、この正電荷が、Pウェル9により吸収される。したがって、この内部配線IL1およびIL2にダイオードを接続することにより、内部配線IL1およびIL2のプラズマ工程時における蓄積電荷を放電することができる。通常動作時には、ダイオード1から4は、逆バイアス状態であり、内部信号IN+およびIN-に対し悪影響は及ぼさない。

【0031】

Pウェル9のバイアス電圧は、ダイオード1から4が逆バイアス状態に維持される電圧であればよく、接地電圧に限定されず、例えば、負電圧であってもよい。

【0032】

次に、このコモンセントロイド配置によるノイズ耐性について、図4から図6を参照して説明する。

【0033】

図4に示すように、ノイズ源NGaが、不純物領域D1AおよびD1Bの図の上方にあり、このノイズ源NGaからのノイズが、基板（図3に示すPウェル9またはP型層10）を介して伝搬される場合を考える。この場合、ノイズ源NGaからのノイズは、不純物領域D1AおよびD1Bの上辺PHaおよびPHbに伝搬する。不純物領域D1AおよびD1Bそれぞれの上辺PHaおよびPHbのPN接合の面積は同じであり、ノイズ源NGaからこれらの不純物領域D1AおよびD1Bまでの距離はほぼ同じである（コモンセントロイド配置のため）。し

たがって、不純物領域D1AおよびD1Bを介して内部配線IL1およびIL2に伝達されるノイズの総量が同じとなる。内部配線IL1およびIL2上の同相ノイズは、次段の内部回路CKにおける差動トランジスタ6および7により相殺され、内部信号IN+およびIN-に対する差動増幅動作に対しノイズ源NGaからのノイズの影響は相殺される。

【0034】

図5に示すように、ノイズ源NGbが、不純物領域D1AおよびD2Bの図の左側に存在する場合、このノイズ源NGbからのノイズは、不純物領域D1AおよびD2Bのそれぞれの左辺PHcおよびPHdに到達する。これらの不純物領域D1AおよびD2Bは、その面積が同じであり、重心位置5に関して対称的に配置されており、ノイズ源NGbからのこれらの辺PHcおよびPHbへの距離はほぼ同じであり、ほぼ同じ大きさのノイズが、この不純物領域D1AおよびD2Bの辺PHcおよびPHdに到達する。したがって、不純物領域D1AおよびD2Bを介してノイズ源NGbからのノイズが、内部配線IL1およびIL2に伝搬されても、それぞれのノイズの総量は、ほぼ大きさが同じである。したがって、次段の内部回路CKにおける差動トランジスタ6および7により、同相ノイズが相殺され、入力信号IN+およびIN-に対するノイズ源NGbからのノイズの影響は相殺される。

【0035】

また、図6に示すように、ノイズ源NGcが、図の左上方向に存在する場合、このノイズ源NGcからのノイズは、不純物領域D1Aの隣接辺PHeおよびPHfに到達し、また不純物領域D1Bの上辺PHeに到達する。同様、このノイズ源NGcからのノイズが、不純物領域D2Bの左辺PHhに到達する。不純物領域D2BおよびD1Bは内部配線IL2に接続され、不純物領域D1Aは内部配線IL1に接続される。したがって、内部配線IL1には、不純物領域D1Aの2辺PHeおよびPHfを通過するノイズが伝達され、内部配線IL2には、不純物領域D2Bの左辺PHhおよび不純物領域D1Bの上辺PHeを介して伝達されるノイズが伝搬される。

【0036】

したがって、ノイズ源NGcから不純物領域D1Aまでの距離とノイズ源NGcから不純物領域D2BおよびD1Bまでの距離が異なるものの、ノイズ源NGcからのノイズは、不純物領域D1Aの左辺PHeおよび不純物領域D2Bの左辺PHhについてはほぼ同じ大きさであり、また位相も同じであり、また不純物領域D1Aの上辺PHfおよび不純物領域D1Bの上辺PHgについてもそのノイズの位相および大きさはほぼ同じである。したがって、内部配線IL1上に伝達されるノイズと内部配線IL2に伝達されるノイズは、同相でかつ総量がほぼ同じ大きさとなり、次段の内部回路CKにおける差動トランジスタ6および7の同相除去特性により、内部配線IL1およびIL2上のノイズが除去される。したがって、入力信号IN+およびIN-を、正確に、内部回路CKにおいて、差動トランジスタ6および7を用いて処理することができる。

【0037】

図4から図6に示すように、内部配線IL1およびIL2それぞれに接続されるダイオード群の重心の位置が一致している。このようなコモンセントロイド配置において、重心位置5に対して如何なる方向にノイズ源NG（NGaからNGc）が存在する場合においても、内部配線IL1およびIL2それぞれに対して伝播されるノイズの総量が等しくなる。これらのノイズは、従って、次段の内部回路CKの差動トランジスタ6および7の同相除去能力を用いて除去することができる。

【0038】

以上のように、この発明の実施の形態1に従えば、差動トランジスタ対のゲート配線に対し、コモンセントロイド配置でダイオードをそれぞれ分割して配置している。したがって、差動信号を伝達する内部配線のノイズの総量が、いずれの方向でノイズが発生しても等しくすることができ、確実に、差動トランジスタ対の同相除去能力を用いてノイズを除去でき、安定に内部回路を動作させることができる。

【0039】

また、MOSトランジスタの制御電極に接続される内部配線に、ダイオードを接続しており、いわゆるアンテナ効果を抑制することができ、正確な差動動作を

実現することができる。

【0040】

〔実施の形態2〕

図7は、この発明の実施の形態2に従う半導体装置の構成を概略的に示す図である。図7においては、ダイオード12-27が4行4列に配置される。ダイオード12から27で構成されるダイオードマトリクスにおいて、行方向および列方向においてそれぞれ、内部配線IL1およびIL2に、ダイオードが交互に接続される。したがって、1行のダイオード12-15において、ダイオード12および14が内部配線IL2に接続され、ダイオード13および15が内部配線IL1に接続される。ダイオード16から19の行においては、ダイオード16および18が内部配線IL1に接続され、ダイオード17および19が、内部配線IL2に接続される。

【0041】

ダイオード20から23の行においては、ダイオード20および22が内部配線IL2に接続され、ダイオード21および23が、内部配線IL1に接続される。ダイオード24から26の行においては、ダイオード24および26が内部配線IL1に接続され、ダイオード25および27が、内部配線IL2に接続される。内部配線IL1およびIL2は、それぞれ、ノードND1およびND2に与えられる入力信号IN+およびIN-を、内部回路CKの差動MOSトランジスタ7および6のゲートへ伝達する。

【0042】

このダイオードマトリクスにおいて、ダイオードを交互に異なる内部配線に接続することにより、ダイオード12から27のサイズが同じ場合、内部配線IL1に接続されるダイオード群が形成する重心と、内部配線IL2に接続されるダイオード群が形成する重心の位置を、位置5に一致させることができ、コモンセントロイド配置を実現することができる。

【0043】

図8は、図7に示すダイオードマトリクスの平面レイアウトを概略的に示す図である。図8において、不純物領域B1-B8およびA1-A8が、4行4列に

配置される。これらの不純物領域B 1 - B 8およびA 1 - A 8は、同一の面積を有する。不純物領域B 1 - B 8およびA 1 - A 8は、行方向および列方向において交互に配置される。したがって、不純物領域B 1 - B 8の全体の重心の位置と不純物領域A 1 - A 8の全体の重心の位置は、位置5において一致する。

【 0 0 4 4 】

不純物領域B 1 - B 8が、内部配線I L 2に接続され、入力信号I N -を伝達し、不純物領域A 1 - A 8が、内部配線I L 1に接続され、入力信号I N +を伝達する。

【 0 0 4 5 】

したがって、不純物領域B 1 - B 8およびA 1 - A 8を用いてダイオード1 2 - 2 7を形成することにより、より内部配線I L 1およびI L 2に接続されるダイオードの影響を分割でき、より正確に、内部配線I L 1およびI L 2へ伝搬されるノイズの総量を等しくすることができる。

【 0 0 4 6 】

図9は、図8に示すダイオードマトリクスの1行のダイオードの断面構造を概略的に示す図である。図9においても、P基板1 1上のP型層1 0表面に形成されるPウェル9内に、ダイオード1 2 - 1 5が形成される。ダイオード1 2 - 1 5それぞれに対応して、n型不純物領域B 1、A 1、B 2およびA 2が、それぞれ素子分離領域8 b - 8 dにより分離されてPウェル9表面に形成される。不純物領域B 1およびA 2の外部には、素子分離領域8 aおよび8 eが形成される。

【 0 0 4 7 】

不純物領域B 1およびB 2が、内部配線I L 2に接続され、不純物領域A 1およびA 2が、内部配線I L 1に接続される。内部配線I L 1は、MOSトランジスタ7のゲートに接続され、内部配線I L 2が、MOSトランジスタ6のゲートに接続される。

【 0 0 4 8 】

ダイオード1 2 - 1 5は、それぞれ、n型不純物領域とPウェル9の間のPN接合により形成される。Pウェル9は、たとえば接地電圧にバイアスされる。したがって、これらの不純物領域B 1、A 1、B 2およびA 2を、それぞれ同一面

積で形成することにより、容易に、内部配線 I L 1 および I L 2 それぞれに接続されるダイオード群の重心位置を一致させることができる。

【 0 0 4 9 】

以上のように、この発明の実施の形態 2 に従えば、複数のマトリクス状に配列されるダイオードを 2 つのグループに分割し、各グループのダイオードを、差動信号線対を構成する内部配線にそれぞれ、グループ単位で接続している。したがって、ダイオードがコモンセントロイド配置に配列され、ノイズ源がいずれの部分において存在し、いずれの方向からノイズが伝搬しても、より正確に内部配線に伝搬されるノイズの総量を等しくすることができ、確実にノイズ成分を相殺することができる。

【 0 0 5 0 】

〔実施の形態 3〕

図 1 0 は、この発明の実施の形態 3 に従う半導体装置の構成を概略的に示す図である。図 1 0 に示す構成においては、ダイオード 3 0 から 3 3 が、1 列に整列して配置される。ダイオード列の両側のダイオード 3 0 および 3 3 が内部配線 I L 2 に接続され、内側のダイオード 3 1 および 3 2 が内部配線 I L 1 に接続される。この内部配線 I L 1 および I L 2 は、それぞれ、入力信号 I N + および I N - を、それぞれ差動 M O S トランジスタ 7 および 6 のゲートに伝達する。この図 1 0 に示す構成においても、ダイオード 3 0 から 3 3 は、同じ面積を有しており、コモンセントロイドに配置される。

【 0 0 5 1 】

図 1 1 は、図 1 0 に示すダイオード列の平面レイアウトを概略的に示す図である。図 1 1 において、不純物領域 B 1 0、A 1 0、B 1 1 および A 1 1 が 1 列に整列して配置される。これらの不純物領域 B 1 0、A 1 0、B 1 1 および A 1 1 は、それぞれの面積が同じである。不純物領域 B 1 0 および B 1 1 が、それぞれダイオード 3 0 および 3 3 に対応し、内部配線 I L 2 に接続される。不純物領域 A 1 0 および A 1 1 が、ダイオード 3 1 および 3 2 に対応し、内部配線 I L 1 に接続される。

【 0 0 5 2 】

したがって、不純物領域 3 0 および 3 3 の全体の重心位置と不純物領域 3 1 および 3 2 の全体の重心位置が、共に、重心位置 5 で与えられる。したがってコンセンストロイド配置が実現され、いずれの方向からのノイズに対しても、各ダイオード群のノイズを受ける辺の合計の長さが同じとなり、同じ大きさのノイズが不純物領域 3 0 および 3 3 と不純物領域 3 1 および 3 2 を介して伝搬され、応じて、総量が同じノイズが、内部配線 I L 1 および I L 2 上に伝播される。

【 0 0 5 3 】

図 1 2 は、図 1 1 に示すダイオード 3 0 から 3 3 の断面構造を概略的に示す図である。図 1 2 において、P ウェル 9 表面に、素子分離領域 8 b - 8 d によりそれぞれ分離されて n 型不純物領域 B 1 0、A 1 0、A 1 1 および B 1 1 が形成される。不純物領域 B 1 0 および B 1 1 外部には、素子分離膜 8 a および 8 e が形成される。これらの不純物領域 A 1 1、A 1 2、B 1 1、および B 1 2 は、それぞれのレイアウト面積が同じである。

【 0 0 5 4 】

不純物領域 B 1 0 および B 1 1 が内部配線 I L 1 に接続され、不純物領域 A 1 0 および A 1 1 が内部配線 I L 2 に接続される。これらの不純物領域 B 1 0、A 1 0、A 1 1 および B 1 1 は、それぞれ P ウェル 9 との間の P N 接合によりダイオード構造を実現する。したがって、P ウェル 9 を介して伝搬されるノイズは、この P N 接合の部分を通じて内部配線に伝搬される。したがって、各不純物領域 B 1 0、B 1 1、A 1 0 および A 1 1 のサイズが等しい場合、ノイズの伝搬方向に拘らず、ノイズを受ける P N 接合の合計面積が、各ダイオード群において等しくなり、内部配線 I L 1 および I L 2 に伝搬されるノイズの総量は等しくなる。

【 0 0 5 5 】

さらに、P 型層 1 0 の表面に形成された P ウェル 9 表面に、不純物領域 B 1 0、A 1 0、A 1 1 および B 1 1 を配置するだけであり、容易にこれらの不純物領域の面積を等しくすることができ、内部配線 I L 1 および I L 2 それぞれに接続されるダイオードの重心位置を一致させることができる。

【 0 0 5 6 】

また、この場合、単に 1 列にダイオード素子が配置されるだけであり、格子状

に配置する場合に比べて、ダイオードアレイの面積を低減することができる。

【0057】

なお、この図12に示す構成においても、P型層10がP基板11上に形成される。ウェル構造として、ツインウェル構造およびトリプルウェル構造のいずれが用いられてもよい。

【0058】

〔実施の形態4〕

図13は、この発明の実施の形態4に従う半導体装置の構成を概略的に示す図である。この図13に示す配置においては、ダイオード34から37が、それぞれ、四辺形の頂点の位置に対応して配置される。四辺形の対角線上に対向して配置されるダイオード34および37が内部配線IL2に接続され、また別の対角線上に対向して配置されるダイオード35および36が内部配線IL1に接続される。これらの内部配線IL1およびIL2は、それぞれ、入力信号IN+およびIN-を差動MOSトランジスタ7および6のゲートへ伝達する。

【0059】

ダイオード34から37は、サイズが同じであり、ダイオード34および37の形成する重心の位置およびダイオード35および36の形成する重心の位置が、位置5で一致する。

【0060】

図14は、図13に示すダイオードの配置の平面レイアウトを概略的に示す図である。ダイオード34および37は、不純物領域B20およびB21をそれぞれ含み、ダイオード35および36は、それぞれ、不純物領域A20およびA21を含む。不純物領域B20およびB21が、内部配線IL2により相互接続され、不純物領域A20およびA21が、内部配線IL1にそれぞれ接続される。

【0061】

これらの不純物領域B20、B21、A20およびA21は、Pウェル9表面に互いに分離して形成されるn型不純物領域である。ダイオード34-37それぞれが、これらの不純物領域とPウェル9との間のPN接合により形成される。これらの不純物領域B20、B21、A20およびA21の面積を同じとするこ

とにより、不純物領域 A 2 0 および A 2 1 の形成する重心位置および不純物領域 B 2 0 および B 2 1 の形成する重心位置がそれぞれ位置 5 で重なりあう。

【0062】

図 1 3 および図 1 4 に示すように、四辺形の頂点に分散してダイオード素子を配置し、対角線上に対向して配置されるダイオードを同じ内部配線に接続することにより、容易にコモンセントロイド配置を実現することができる。したがって、ノイズがいずれの方向から伝搬してきても、ダイオード 3 4 から 3 7 により内部配線 I L 1 および I L 2 に伝達されるノイズの大きさは等しくなり、差動 M O S トランジスタ 6 および 7 により、相殺されて、ノイズの影響を確実に抑制することができる。

【0063】

また、四辺形の頂点にダイオード素子を配置しており、容易に、対角線の交点に重心位置を設定することができる。

【0064】

〔実施の形態 5〕

図 1 5 は、この発明の実施の形態 5 に従う半導体装置の構成を概略的に示す図である。図 1 5 に示す半導体装置は、以下の点で、図 1 に示す半導体装置とその構成が異なっている。すなわち、ダイオード 1 から 4 をそれぞれ構成する不純物領域 D 1 A、D 1 B、D 2 B および D 2 A を取囲むように、不純物領域 3 8 が連続的に形成される。不純物領域 3 8 は、ダイオード 1 から 4 を形成する不純物領域 D 1 A、D 1 B、D 2 B および D 2 A が形成されるウェル領域（基板領域）と同一の導電型を有する。ダイオード 1 から 4 は、図 1 に示すように、逆バイアス状態に設定され、そのウェル領域は、たとえば接地電圧に固定される。したがって、不純物領域 3 8 も、そのウェル領域が同じバイアス電圧に固定され、ノイズ吸収層として機能し、ノイズが、基板領域のウェルを介してダイオード 1 から 4 に伝達されるのを防止する。

【0065】

図 1 6 は、図 1 5 に示すダイオード 2 および 4 に沿った断面構造を概略的に示す図である。図 1 6 において、ダイオード 2 および 4 に対応して、P ウェル 9 表

面に離れて n 型不純物領域 D 2 B および D 2 A がそれぞれ形成される。これらの不純物領域 D 2 B および D 2 A 外周に、P ウェル 9 と同一導電型の p 型不純物領域 3 8 が形成される。これらの不純物領域 2、4 および 3 8 の間には、素子分離膜 8 a - 8 e がそれぞれ配置される。P ウェル 9 は、P 型層 1 0 表面に形成され、この P 型層 1 0 は、P 基板 1 1 上に形成される。不純物領域 D 2 A および D 2 B は、それぞれ内部配線 I L 1 および I L 2 に接続される。

【 0 0 6 6 】

このダイオード 2 および 4 を形成する不純物領域 D 2 B および D 2 A 外周に沿って p 型不純物領域 3 8 を形成する。P ウェル 9 は、たとえば接地電圧にバイアスされ、不純物領域 3 8 も接地電圧レベルにバイアスされる。P ウェル 9 の表面領域を介してノイズが伝達される場合、この不純物領域 3 8 によりノイズを吸収することができ、ダイオード 2 および 4 に伝達されるノイズを低減することができる。したがって、差動 MOS トランジスタ 6 および 7 の同相除去特性が低下する高周波領域においても、高いノイズ耐性を実現することができる。

【 0 0 6 7 】

なお、P ウェル 9 は、p 型不純物領域 3 8 を介して接地電圧にバイアスされてもよい。ウェルバイアスを設定する領域を別に設ける必要がなく、P ウェル 9 を効率的に利用することができる。

【 0 0 6 8 】

[変更例]

図 1 7 は、この発明の実施の形態 5 の変更例を示す図である。この図 1 7 に示す構成は、図 1 5 に示す構成と以下の点が異なっている。すなわち、ダイオード 1 から 4 を構成する不純物領域 D 1 A、D 1 B、D 2 B および D 2 A が形成する四辺形の四辺に沿って、不純物領域 3 8 a - 3 8 d がそれぞれ配置される。すなわち、図 1 5 に示す連続的に形成される不純物領域 3 8 に代えて、分割不純物領域 3 8 a - 3 8 d が、ダイオード 1 から 4 の形成領域に対向して配置される。この図 1 7 に示す他の構成は、図 1 5 に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【 0 0 6 9 】

この図 1 7 に示す構成においても、ダイオード 1 から 4 を形成する不純物領域 D 1 A、D 1 B、D 2 B および D 2 A に対して、ノイズ吸収用の不純物領域 3 8 a - 3 8 d が配置されており、P ウェル 9 表面を介して伝達されるノイズを、分割不純物領域 3 8 a - 3 8 d で吸収することができる。

【 0 0 7 0 】

また、不純物領域 3 8 a - 3 8 d は、それぞれ直線的に延在するだけであり、パターンニングが容易となる。

【 0 0 7 1 】

これらの不純物領域 3 8 a - 3 8 d は、その断面構造は、図 1 6 に示す断面構造と同じであり、それぞれ、P ウェル 9 を介して所定電圧（接地電圧）にバイアスされる、または、所定電圧を受けて、P ウェル 9 を所定電圧（接地電圧）にバイアスする。

【 0 0 7 2 】

なお、図 1 5 および図 1 7 においては、内部配線 I L 1 および I L 2 に、それぞれ 2 つのダイオードが接続され、各内部配線に接続されるダイオードの重心位置が一致している。しかしながら、このダイオードの配置としては、先の実施の形態 1 から 4 のいずれのダイオードの配置が用いられてもよい。ダイオードの配置領域外周に沿って、ノイズ吸収用の基板領域と同一導電型の不純物領域を配置することにより、ダイオードへノイズが伝搬されるのを抑制することができる。

【 0 0 7 3 】

以上のように、この発明の実施の形態 5 に従えば、蓄積電荷放出用のダイオードの外周に、基板領域（ウェル領域）と同じ導電型の不純物領域を配置しており、ウェル領域または基板表面を伝搬されるノイズが、ダイオードに到達するのを抑制することができ、高いノイズ耐性を実現することができる。

【 0 0 7 4 】

〔実施の形態 6〕

図 1 8 は、この発明の実施の形態 6 に従う半導体装置の構成を概略的に示す図である。この図 1 8 に示す構成においては、ダイオード 1 から 4 を形成する領域外部に、不純物領域 3 9 が形成される。この不純物領域 3 9 は、ダイオード 1 か

ら 4 それぞれの不純物領域 D 1 A、D 2 B、D 1 B および D 2 A それぞれを取囲むようにメッシュ状に形成される。この図 1 8 に示す他の構成は、図 1 5 に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【 0 0 7 5 】

図 1 9 は、図 1 8 に示すダイオード 2 および 4 を含む領域の断面構造を概略的に示す図である。図 1 9 において、ダイオード 2 および 4 をそれぞれ形成する不純物領域 D 2 B および D 2 A が、P ウェル 9 表面上に間を置いて形成される。さらに不純物領域 D 2 B および D 2 A を挟むように、p 型不純物領域 3 9 が形成される。不純物領域 3 9、D 2 B および D 2 A は、素子分離膜 8 b - 8 e により互いに分離される。不純物領域 3 9 の外周に、素子分離膜 8 a および 8 f が形成される。この不純物領域 3 9 は、たとえば接地電圧に固定され、応じて P ウェル 9 が接地電圧レベルにバイアスされる。この図 1 9 に示す断面構造の他の構成は、図 1 6 に示す断面構造と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【 0 0 7 6 】

図 1 8 および図 1 9 に示すように、ダイオード 1 から 4 それぞれを形成する不純物領域 D 1 A、D 1 B、D 2 B および D 2 A それぞれを取囲むように不純物領域 3 9 を配置することにより、個々の不純物領域に伝搬されるノイズを不純物領域 3 9 で確実に吸収することができ、よりノイズ耐性を高くすることができる。また、P ウェル 9 は、この不純物領域 3 9 によりたとえば接地電圧にバイアスされるため、P ウェル 9 の電源を強化することができ、P ウェル 9 に電位分布が生じるのを抑制できる。これにより、P ウェル 9 に形成されるダイオード 1 から 4 を、確実に逆バイアス状態に維持することができ、ダイオード 1 から 4 を介して内部配線にノイズが伝搬されるのを、より抑制することができる。

【 0 0 7 7 】

また、不純物領域 3 9 を、ダイオード 1 から 4 のアノード電極として利用することができ、P ウェル 9 の寄生抵抗を低減でき、内部配線 I L 1 および I L 2 の蓄積電荷を高速で放出することができる。

【0078】

なお、図19に示す構成においては、不純物領域39を介してPウェル9を接地電圧レベルにバイアスしている。しかしながら、Pウェル9がその領域から、接地電圧レベルにバイアスされてもよい。この場合においても、不純物領域39は、高濃度の不純物領域であり、その抵抗値は小さいために、Pウェル9表面における抵抗を低減でき、応じてPウェル9における電圧分布を抑制することができる。

【0079】

〔変更例〕

図20は、この発明の実施の形態6の変更例の構成を概略的に示す図である。この図20に示す構成においては、ダイオード1から4を形成する不純物領域D1A、D1B、D2B、およびD2Aそれぞれに対応して、不純物領域39a-391が配置される。すなわち、図18に示す不純物領域39を、不純物領域39a-391に分割する。この図20に示す配置の断面構造は、図19に示す断面構造と同様である。

【0080】

この図20に示す構成においては、ダイオード1から4それぞれを形成する領域を取囲むように、分割不純物領域39a-391が配置される。これらの不純物領域39a-391は、直線的に延在する矩形領域で形成され、パターニングが容易である。

【0081】

図20に示す不純物領域39a-391は、それぞれ別の接地線から接地電圧を供給されてもよく、また、Pウェル9から接地電圧レベルに固定されてもよい。この図20に示す配置においても、不純物領域D1A、D1B、D2BおよびD2Aを取囲むように、Pウェル9と同一導電型の不純物領域39aから391が配置されており、Pウェル9を介して伝搬されるノイズを、確実にダイオード1-4に伝達されるのを防止することができる。

【0082】

なお、不純物領域39a-391を、それぞれ、ダイオード1から4のアノ-

ドとして利用することにより、図 1 8 に示す配置と同様、P ウェル (9) の基板抵抗を低減できる。

【0083】

以上のように、この発明の実施の形態 6 に従えば、ダイオードを形成する不純物領域それぞれを取囲むように基板ウェル領域と同様の導電型の不純物領域を配置しており、確実に、ダイオードへノイズが伝搬されるのを抑制することができる。また、このノイズ吸収用の不純物領域が基板ウェル領域と同一導電型であり、ダイオードの他方電極として利用することにより、ウェル抵抗を低減でき、ダイオードの応答速度を改善することができる。

【0084】

〔実施の形態 7〕

図 2 1 は、この発明の実施の形態 7 に従う半導体装置の構成を概略的に示す図である。図 2 1 においては、ノード N D 1 上の入力信号 I N + を MOS トランジスタ 7 のゲートに伝達する内部配線 I L 1 に対し、ダイオード 4 1 および 4 4 が接続され、また、ノード N D 2 上の入力信号 I N - を MOS トランジスタ 6 のゲートに伝達する内部配線 I L 2 には、ダイオード 4 2 および 4 3 が接続される。これらのダイオード 4 1 - 4 4 は、重心位置 5 を共有するようにコモンセントロイドに配置される。

【0085】

ダイオード 4 1 - 4 4 は、N ウェル 4 0 に形成される。したがって、ダイオード 4 1 および 4 4 のアノードが内部配線 I L 1 に接続され、ダイオード 4 2 および 4 3 のアノードが内部配線 I L 2 に接続される。N ウェル 4 0 は、他のトランジスタが形成される P ウェル 9 内に形成される。この N ウェル 4 0 は、ダイオード 4 1 から 4 4 を逆バイアス状態に設定するために、たとえば電源電圧に接続される。この図 2 1 に示す構成においても、内部配線 I L 1 または I L 2 に蓄積されるプラズマ荷電粒子は、ダイオード 4 1 - 4 4 を介して基板領域の N ウェル 4 0 に放出される。

【0086】

図 2 2 は、図 2 1 に示すダイオード 4 1 - 4 4 の平面レイアウトを概略的に示

す図である。図 2 2 において、ダイオード 4 1 - 4 4 に対応して、P 型不純物領域 D 3 A、D 3 B、D 4 B および D 4 A が、2 行 2 列に整列して配置される。不純物領域 D 3 A、D 3 B、D 4 B および D 4 A は、それぞれのサイズ（面積）が等しく、対角線上の不純物領域を共通の内部配線に接続することにより、重心位置 5 を共有するコモンセントロイド配置が実現される。

【0087】

不純物領域 D 3 A、D 3 B、D 4 B および D 4 A を取囲むように、n 型不純物領域 4 5 が配置される。不純物領域 4 5、D 3 A、D 3 B、D 4 B および D 4 A は、N ウェル 4 0 内に形成される。したがって、N ウェル 4 0 により P ウェル 9 および P 型層 1 0 からのノイズの伝搬を抑制し、かつ不純物領域 4 5 により、この N ウェル 4 0 にノイズが伝搬されても、ダイオード 4 1 から 4 4 へ伝搬されるのを防止する。この N ウェル 4 0 を利用する事により、ダイオードの基板領域に対して側面および底面からのいずれの方向からノイズが伝播されても、確実にノイズがダイオード 4 1 - 4 4 に伝播されるのを抑制することができる。

【0088】

なお、不純物領域 D 3 A および D 4 A が内部配線 I L 1 に接続され、不純物領域 D 4 B および D 3 B が内部配線 I L 2 に接続される。これらの内部配線 I L 1 および I L 2 が、それぞれ、MOS トランジスタ 7 および 6 のゲートに入力信号 I N + および I N - を伝達する。したがって、ダイオード 4 1 - 4 4 への基板ノイズの伝搬を抑制することができ、正確に、入力信号 I N + および I N - を差動的に増幅することができる。ダイオード 4 1 から 4 4 は、プラズマ蓄積電荷が負電荷の時には、逆方向リーク電流により基板領域へ放電し、正電荷の時には、ダイオードが導通して順方向電流により基板領域の N ウェルに放電する。

【0089】

図 2 3 は、図 2 2 に示す不純物領域 D 3 A および D 3 B を含む領域の断面構造を概略的に示す図である。P ウェル 9 内に N ウェル 4 0 が形成される。この N ウェル 4 0 は、その低部が P 型層 1 0 に接するように形成され、ダイオード形成領域が、他の素子の形成領域と確実に分離される。

【0090】

このNウェル40表面に、間を置いてp型不純物層D3AおよびD3Bが形成される。また、Nウェル40表面の周辺部に、n型不純物層45が形成される。これらの不純物領域41、43および45は、素子分離膜8b-8dにより互いに分離される。また、Nウェル40境界部に沿って素子分離膜8aおよび8eが形成され、Pウェル9内のトランジスタ素子またはウェルとNウェル40とを分離する。

【0091】

不純物領域D3AおよびD3Bが、内部配線IL1およびIL2にそれぞれ接続され、またダイオード41および43のアノードとして機能する。このNウェル40は、これらのダイオード41および43のカソードとして機能する。不純物領域45を、たとえば電源電圧レベルに維持することにより、Nウェル40を電源電圧レベルに維持して、このダイオード41および43を逆バイアス状態に設定する。

【0092】

このNウェル40を電源電圧レベルにバイアスすることにより、Pウェル9とNウェル40が逆バイアス状態となり、Pウェル9からのノイズがNウェル40に伝搬されるのを抑制することができる。

【0093】

なお、このNウェル40に形成される不純物領域45の形状としては、先の図18または図20に示すように、ダイオード41から44をそれぞれ形成する不純物領域を個々に取囲むように形成されてもよく、また、不純物領域45が、ダイオード41から44形成領域外周に沿って分割して配置されてもよい。

【0094】

以上のように、この発明の実施の形態7に従えば、ダイオードを専用のウェル領域内に形成しており、基板領域からノイズがダイオードに伝搬されるのを確実に抑制することができる。特に、Pウェル9表面を介して伝搬されるノイズとして、Pウェル9およびP型層10の界面領域近傍を伝搬し、ダイオード形成のための基板領域底部から伝搬されるノイズをも、確実に抑制することができる。

【0095】

〔実施の形態 8〕

図 24 は、この発明の実施の形態 8 に従う半導体装置の構成を概略的に示す図である。図 24 においては、ダイオード 1 から 4 を形成する不純物領域 D1A、D1B、D2B および D2A が、2 行 2 列に整列して配置される。これらのダイオード 1 から 4 の形成領域外周に、ノイズ吸収用の p 型不純物領域 38 が形成される。不純物領域 38、D1A、D1B、D2B および D2A は、P ウェル 9a 表面に形成される。これらは、図 15 に示す構成と同じである。この P ウェル 9a を囲むように、N ウェル 46 が P ウェル 9a 外部に形成される。N ウェル 46 表面に、n 型不純物領域 45 が形成される。この n 型不純物領域 45 を介して、N ウェル 46 を、たとえば電源電圧レベルの十分高い電圧にバイアスする。P ウェル 9a と N ウェル 46 を逆バイアス状態とするように P ウェル 9a を、たとえば不純物領域 38 により、接地電圧レベルに固定する。したがって、P ウェル 9a は、電源線と分離されているため、電源ノイズが、ダイオード 1 から 4 を介して内部配線 IL1 または IL2 に伝達されるのを防止できる。また、基板ノイズが、N ウェル 46 から P ウェル 9a に伝搬されても、不純物領域 38 により、ダイオード 1 から 4 に伝搬されるのを抑制することができる。

【0096】

図 25 は、図 24 に示す不純物領域 D1A および D1B を含む領域の断面構造を概略的に示す図である。図 25 において、P ウェル 9a 表面に、n 型不純物領域 D1A および D1B が間をおいて形成される。これらの不純物領域 D1A および D1B 外部に、素子分離膜 8c および 8e を介して p 型不純物領域 38 が形成される。

【0097】

P ウェル 9a 外部に、P ウェル 9a と同じ深さの N ウェル 46 が形成される。この N ウェル 46 表面には、素子分離膜 8b および 8f により不純物領域 38 により分離される n 型不純物領域 45 が形成される。この n 型不純物領域 45 をたとえば電源電圧レベルに設定し、また P ウェル 9a を、不純物領域 38 によりたとえば接地レベルに固定する。これにより、P ウェル 9a と N ウェル 46 を逆バイアス状態に設定する。また、P ウェル 9a および N ウェル 46 下部の P 型層 1

0領域には、ボトムNウェル47を形成する。これにより、ダイオード1から4が形成されるPウェル9aを、他のトランジスタ等の形成領域から確実に分離することができる。このボトムNウェル47は、Nウェル46を介してたとえば電源電圧レベルに固定される。したがって、ダイオード1から4に対し、このPウェル9aの底部から伝搬されるノイズを、その電位が固定されるボトムNウェル47およびNウェル46により吸収することができる。

【0098】

Nウェル46外部には、Pウェル9が形成され、他の回路の構成要素が形成される。

【0099】

Pウェル9aは、電源線から分離されており、Nウェル46をバイアスする電源電圧を供給する電源線上のノイズがPウェル9aに伝達されるのを防止でき、応じて、内部配線IL1およびIL2に電源ノイズが重畳するのを防止できる。これにより、内部回路のノイズ耐性を大幅に改善することができる。

【0100】

なお、Nウェル46およびPウェル9aをバイアスする電圧は、電源電圧および接地電圧に限定されず、Pウェル9aおよびNウェル46を逆バイアス状態に設定し、かつダイオード1から4を逆バイアス状態に設定する電圧レベルであればよい。

【0101】

また、ダイオードの配置としては、先の実施の形態1から4のいずれの配置が用いられてもよい。

【0102】

以上のように、この発明の実施の形態8に従えば、プラズマ荷電粒子を放出するダイオードを形成する基板ウェル領域を、別の導電型のウェル領域で取囲むように構成しており、このダイオード形成領域を他の回路の基板領域から分離でき、ノイズがダイオードに伝搬されるのを抑制することができる。また、ダイオード形成領域を電源線から分離することができ、電源ノイズがダイオードを介して内部回路の差動段に伝播されるのを防止することができる。

【0103】

〔実施の形態9〕

図26は、この発明の実施の形態9に従う半導体装置の平面レイアウトを概略的に示す図である。この図26に示す平面レイアウトは、図20に示す構成と以下の点において異なっている。すなわち、ダイオード1から4を形成する領域を取囲むように形成される不純物領域38に代えて、ダイオード1から4をそれぞれ形成する不純物領域D1A、D1B、D2BおよびD2Aをそれぞれ個々に取囲むように不純物領域39が形成される。この図26に示す他の構成は、図24に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0104】

不純物領域39は、下部のPウェル9aの電位をたとえば接地電圧レベルに固定するためにも用いられる。

【0105】

図27は、図26に示す不純物領域D1AおよびD1Bを含む部分の断面構造を概略的に示す図である。図27に示す断面構造は、図25に示す断面構造と以下の点で異なっている。すなわち、n型不純物領域D1AおよびD1Bの間に、p型不純物領域39が形成される。このp型不純物領域39は、不純物領域D1AおよびD1Bと素子分離膜8bおよび8eにより分離される。Pウェル9aの周辺に、図25に示す構造と同様、p型不純物領域39が配置される。これらのp型不純物領域39は、たとえば接地電圧レベルに固定される。

【0106】

この図27に示す断面構造の他の構成は、図25に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0107】

図27に示すように、Pウェル9a表面に、p型不純物領域39が分散して配置される。したがって、不純物領域39をたとえば接地電圧レベルに固定することにより、Pウェル9aの電位を確実にたとえば接地電圧レベルに固定することができ、ダイオード1および3（また2および4）を確実に逆バイアス状態に維

持することができ、内部信号 $I N +$ および $I N -$ に対して悪影響を及ぼすのを防止することができる。

【0108】

なお、この図26および図27に示す構成においても、ダイオードは、コモンセントロイドに配置されればよく、その数は任意であり、また、その配置も任意である。

【0109】

以上のように、この発明の実施の形態9に従えば、ダイオードを形成する不純物領域を個々に個別の導電型の不純物領域で取囲むようにしており、基板ウェル領域を確実に所定電位（接地電位）レベルに固定することができる。これにより、ダイオードを介して内部配線 $I L 1$ および $I L 2$ へ基板ノイズが伝搬されるのを確実に抑制することができ、また、入力信号を確実に内部回路の差動MOSトランジスタへ伝達することができる。

【0110】

〔実施の形態10〕

図28は、この発明の実施の形態10に従う半導体装置の平面配置を概略的に示す図である。図28においては、ダイオード1から4を構成する不純物領域 $D 1 A$ 、 $D 2 B$ 、 $D 1 B$ および $D 2 A$ が、2行2列に配置される。これらのダイオード1から4を形成する領域を取囲むように、不純物領域38が形成される。この不純物領域 $D 1 A$ および $D 2 A$ は、内部配線54aを介してノードND1に接続される。不純物領域 $D 2 B$ および $D 1 B$ は、内部配線54bを介してノードND2に接続される。

【0111】

ダイオード1から4を形成する領域を取囲むように、対称的にトランジスタ6および7を形成するためのアクティブ領域（活性領域）50-53が配置される。この対角線上に対向して配置されるアクティブ領域50および53に、MOSトランジスタ7が形成される単位トランジスタが形成される。また別の対角線上に対向して配置されるアクティブ領域51および52に、MOSトランジスタ6を形成するタ単位トランジスタが形成される。これらのアクティブ領域50-5

3 それぞれにおいては、ソース不純物領域 S I とドレイン不純物領域 D I が交互に配置される。これらのソース不純物領域 S I およびドレイン不純物領域 D I の間に、ゲート電極 G T が配置される。図 2 8 において、図面を簡略化するため、記号 S I、D I、および G T は、アクティブ領域 5 2 に対してのみ示す。

【0 1 1 2】

アクティブ領域 5 0 において、ドレイン不純物領域は、金属配線 5 6 a により相互接続されて、ドレイン+ノードに結合される。また、ソース不純物領域が、金属配線 5 6 b により相互接続されかつ共通ソースノードに結合される。ゲート電極 G T は、金属配線 5 5 a により、不純物領域 D 1 A に電氣的に接続される。

【0 1 1 3】

アクティブ領域 5 1 においては、ドレイン不純物領域が金属配線 5 6 b により共通接合されかつドレイン-端子に結合され、ゲート電極 G T が、金属配線 5 5 b により、不純物領域 D 2 B に電氣的に接続される。ソース不純物領域が、金属配線 5 7 b により相互接続されかつ共通ソースノードに接続される。

【0 1 1 4】

アクティブ領域 5 2 において、ゲート電極 G T が、金属配線 5 5 c により相互接続されかつ不純物領域 D 1 B に電氣的に接続され、ドレイン不純物領域 D I が金属配線 5 6 c により相互接合されかつドレイン-ノードに接続される。またソース不純物領域 S I が、金属配線 5 7 c により相互接続されかつ共通ソースノードに接続される。

【0 1 1 5】

アクティブ領域 5 3 においては、ゲート電極が金属配線 5 5 b により相互接続されかつ不純物領域 D 2 A に接続され、ドレイン不純物領域が、金属配線 5 6 e により相互接続されかつドレインプラス端子に接続される。ソース不純物領域が、金属配線 5 7 c により相互接続されかつ共通ソースノードに接続される。

【0 1 1 6】

金属配線 5 7 a - 5 7 d は、金属配線 5 5 a - 5 5 d および 5 6 a - 5 6 d よりも上層の金属配線である。

【0 1 1 7】

トランジスタ 6 および 7 を形成するアクティブ領域 5 0 から 5 3 は、ダイオードの重心位置について点対称の位置に同一サイズおよびレイアウトで配置される。トランジスタ 6 を形成するアクティブ領域 5 1 および 5 2 の重心位置と、トランジスタ 7 を形成するアクティブ領域 5 0 および 5 3 の重心位置は一致する。また、ダイオードの重心位置とトランジスタの重心位置を一致させることにより、重心位置についてトランジスタおよびダイオードを対称的に配置することができ、トランジスタ形成領域と対応のダイオード形成領域との間の内部配線レイアウトを対称的に設定することができ、レイアウトが簡略化される。

【 0 1 1 8 】

また、差動トランジスタを構成するトランジスタ素子をコモンセントロイド配置で配置することにより、残留ノイズのトランジスタに対する影響を等しくすることができ、ノイズ耐性を改善することができる。

【 0 1 1 9 】

また、ダイオード 1 から 4 を形成する領域近傍に、トランジスタを形成するアクティブ領域 5 0 - 5 3 を、対称的に、ダイオード形成領域を取囲むように配置することにより、ダイオードの不純物領域と対応のトランジスタのゲートとを接続する金属配線 5 5 a - 5 5 d の配線距離が短くなり、プラズマ生成時の蓄積電荷量を低減できる。特に、金属配線 5 5 a - 5 5 d を直線的に配置することにより、その配線距離を短くでき、アンテナ効果を低減することができ、ダイオード 1 から 4 により除去できず残留した電荷の影響を抑制することができる。

【 0 1 2 0 】

図 2 9 は、図 2 8 に示すダイオード 1 から 4 とトランジスタ 6 および 7 の断面構造を概略的に示す図である。図 2 9 においては、ダイオード 1 から 4 に対応する不純物領域のうち 1 つの不純物領域 D I と 1 つのトランジスタのアクティブ領域の構成を代表的に示す。

【 0 1 2 1 】

図 2 9 において、P 型層 1 0 表面に P ウェル 9 および 5 9 が間を置いて形成される。P ウェル 9 表面には、n 型不純物領域 D I が形成され、またノイズ吸収用の p 型不純物領域 3 8 が形成される。この不純物領域 D I は、図 2 8 に示す不純

物領域 D 1 A、D 1 B、D 2 B、D 2 A のいずれかに対応する。

【 0 1 2 2 】

P ウェル 5 9 においては、n 型不純物領域が、ソース不純物領域 S I a、ドレイン不純物領域 D I a およびソース不純物領域 S I b が交互に間を置いて形成される。これらの不純物領域の間のウェル領域上に、図示しないゲート絶縁膜を介してゲート電極 G T a および G T b がそれぞれ形成される。この P ウェル 5 9 は、図 2 8 に示すアクティブ領域 5 0 - 5 3 のいずれかに対応する。

【 0 1 2 3 】

P ウェル 9 に形成される不純物領域 D i は、コンタクト C N T a を介して金属配線 5 5 に電氣的に接続される。この金属配線 5 5 は、また、コンタクト T H a を介して入力信号 I N を伝達するノードに接続される金属配線 5 4 に接続される。この金属配線 5 5 は、また、P ウェル 5 9 のトランジスタ形成領域にまで直線的に延在して配置され、コンタクト C N T b および C N T c を介してゲート電極 G T a および G T b に電氣的に接続される。

【 0 1 2 4 】

金属配線 5 4 は、金属配線 5 5 よりも上層の金属配線である。この金属配線 5 5 は、ダイオードを形成する領域（P ウェル 9）近傍において配設される利用可能な配線のうち最下層の金属配線であり、たとえば第 1 アルミニウム配線または第 1 銅配線である。このダイオードとトランジスタとの間の配線を、その近傍において利用できる最下層の金属配線を利用することにより、金属配線 5 5 形成時のプラズマエッチング以後の、上層配線形成時におけるプラズマエッチング時に発生するプラズマ荷電粒子の影響を低減することができる。すなわち、ダイオードとトランジスタとを接続する金属配線として上層の金属配線を利用する場合、トランジスタのゲート電極に対するコンタクトのアスペクト比を低減するため、中間配線を用いて、上層金属配線とトランジスタのゲート電極およびダイオードの不純物領域とを接続する必要がある。したがって、このトランジスタのゲート電極に関連するプラズマエッチングの工程数が増大し、プラズマ荷電粒子の影響が大きくなる。したがって、最下層の金属配線を利用することにより、このゲート電極 G T a および G T b とダイオードの不純物領域 D i の接続を早い段階で完

了させることができ、ゲート電極GT a およびGT b に対する、プラズマエッチングの影響を低減することができる。

【0 1 2 5】

上層の金属配線5 4 は、内部ノードND 1 またはND 2 に接続されるだけであり、その配線長は短く、プラズマ工程時におけるその蓄積電荷量は十分小さくすることができる、従って、金属配線5 4 のプラズマ蓄積電荷が、金属配線5 5 を介して伝搬して、ゲート電極GT a およびGT b に対して悪影響を及ぼすのを十分に抑制することができる。

【0 1 2 6】

また、この金属配線5 5 の配線形状（レイアウトパターン）をすべてのトランジスタ（アクティブ領域5 0 - 5 3）について同じとする。これにより、金属配線5 5（5 5 a - 5 5 d）の面積が同じとなり、トランジスタゲート電極に対するアンテナ効果を同じにすることができ、蓄積電荷の影響を相殺することができる。

【0 1 2 7】

また、この金属配線5 5 の配線長については、アクティブ領域5 0 - 5 3 を、コモンセントロイドに配置することにより、トランジスタのゲート電極とダイオードの不純物領域とを接続する金属配線5 5 の長さを、アクティブ領域5 0 - 5 3 について同一とすることができ、蓄積電荷量をほぼ同量とすることができる。したがって、ダイオード1 から4 により除去できず残留する電荷が存在しても、その残量は同一にでき、MOS トランジスタ6 および7 の特性差をなくすことができる。

【0 1 2 8】

なお、この実施の形態1 0 において、ダイオードの配置としては、実施の形態1 から9 のいずれの配置が用いられてもよい。また、図2 9 においては、トランジスタを形成するためのP ウェル5 9 とダイオードを形成するP ウェル9 は別々に設けられている。しかしながら、これらはダイオードの不純物領域を形成する領域と、トランジスタのゲート電極を形成する領域は、同一のウェル領域であってもよい。また、このP ウェル9 および5 9 は、たとえばN ウェルなどの分離領

域により分離されてもよい。またN型の埋込分離領域が用いられてもよい。

【0129】

以上のように、この発明の実施の形態10に従えば、ダイオード形成領域近傍にコモンセントロイドにトランジスタ形成領域を配置しており、ダイオードとトランジスタの間の配線をすべての対称的に配置でき、トランジスタの特性を同一とすることができ、応じて、特性差をなくすことができ、正確に入力信号を蓄積電荷の影響を受けることなく増幅することができる。

【0130】

なお、上述の説明においては、nチャネルMOSトランジスタ6および7による差動増幅回路が一例として示されている。しかしながら、MOSトランジスタ6および7は、pチャネルMOSトランジスタであってもよい。このトランジスタ対は、相補的に入力信号 I_{N+} および I_{N-} を増幅して出力すればよく、ミキサの差動段であってもよく、また、単に並列に動作する回路段であってもよい。また、この差動段は、アナログ的に動作してもよく、またデジタル的に動作してもよい。

【0131】

また、ダイオードは逆バイアス状態とされていればよく、基板ウェル領域のバイアス電圧レベルは、利用可能な電圧レベルに応じて適当に定められればよい。

【0132】

なお、上述の説明においては、アクティブ領域内の全てのトランジスタを差動対の形成に用いている。しかしながら、アクティブ領域内に差動対形成以外の目的のトランジスタが配置されてもよい。例えば、差動対に電流を供給する電流源を配置することも可能であり、また、差動対を形成するトランジスタの両端に形状ダミーと呼ばれる、トランジスタのゲート電極およびアクティブ領域の仕上がりの均一性の向上等を図るトランジスタが配置されてもよい（トランジスタ自体の特性の均一化を図ることができる）。もちろん、形状ダミーと電流源等の他の目的のトランジスタとが共有化されて配置されてもよい。

【0133】

【発明の効果】

以上のように、この発明に従えば、差動トランジスタ対のゲート配線のプラズマ蓄積電荷を消去するダイオードを、コモンセントロイドに配置している。したがって、ダイオードを介して差動トランジスタ対のゲートに伝達されるノイズを同相ノイズとすることができ、差動トランジスタ対の同相除去特性により、確実にノイズの影響を相殺することができる。これにより、安定に入力信号を正確に処理することのできる半導体装置を実現することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 に従う半導体装置の構成を概略的に示す図である。

【図 2】 図 1 に示すダイオードの平面レイアウトを概略的に示す図である。

【図 3】 図 2 に示すダイオードの断面構造を概略的に示す図である。

【図 4】 図 2 に示す構成におけるノイズ伝搬領域を模式的に示す図である。

【図 5】 図 2 に示す配置におけるノイズの伝搬領域を模式的に示す図である。

【図 6】 図 2 に示す配置におけるノイズの伝搬領域を模式的に示す図である。

【図 7】 この発明の実施の形態 2 に従う半導体装置の構成を示す図である。

【図 8】 図 7 に示すダイオードの平面レイアウトを概略的に示す図である。

【図 9】 図 8 に示すダイオードの断面構造を概略的に示す図である。

【図 1 0】 この発明の実施の形態 3 に従う半導体装置の構成を概略的に示す図である。

【図 1 1】 図 1 0 に示すダイオードの平面レイアウトを概略的に示す図である。

【図 1 2】 図 1 1 に示すダイオードの断面構造を概略的に示す図である。

【図 1 3】 この発明の実施の形態 4 に従う半導体装置の構成を概略的に示す図である。

す図である。

【図 1 4】 図 1 3 に示すダイオードの平面レイアウトを概略的に示す図である。

【図 1 5】 この発明の実施の形態 5 に従う半導体装置の平面レイアウトを概略的に示す図である。

【図 1 6】 図 1 5 に示す構成の断面構造を概略的に示す図である。

【図 1 7】 この発明の実施の形態 5 の変更例の構成を概略的に示す図である。

【図 1 8】 この発明の実施の形態 6 に従う半導体装置の構成を概略的に示す図である。

【図 1 9】 図 1 8 に示すダイオードの断面構造を概略的に示す図である。

【図 2 0】 この発明の実施の形態 6 の変更例を示す図である。

【図 2 1】 この発明の実施の形態 7 に従う半導体装置の構成を概略的に示す図である。

【図 2 2】 図 2 1 に示すダイオードの平面レイアウトを概略的に示す図である。

【図 2 3】 図 2 2 に示すダイオードの断面構造を概略的に示す図である。

【図 2 4】 この発明の実施の形態 8 に従う半導体装置の構成を概略的に示す図である。

【図 2 5】 図 2 4 に示すダイオードの断面構造を概略的に示す図である。

【図 2 6】 この発明の実施の形態 9 に従う半導体装置の構成を概略的に示す図である。

【図 2 7】 図 2 6 に示すダイオードの断面構造を概略的に示す図である。

【図 2 8】 この発明の実施の形態 1 0 に従う半導体装置の平面レイアウトを概略的に示す図である。

【図 2 9】 図 2 8 に示すダイオードとトランジスタの配線の断面構造を概略的に示す図である。

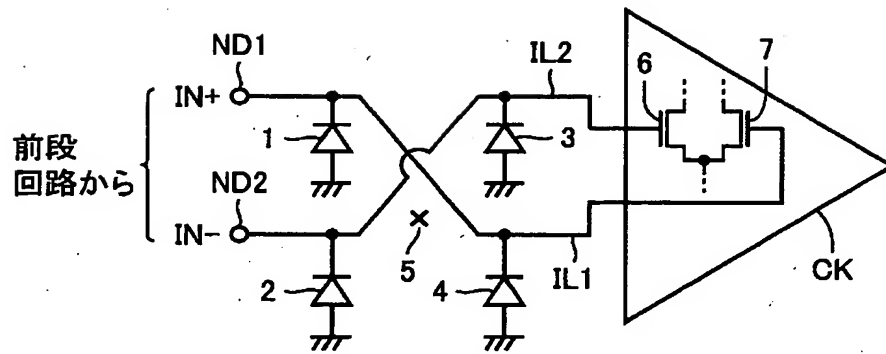
【符号の説明】

1 - 4 ダイオード、 6, 7 MOS トランジスタ、 I L 1, I L 2 内部配

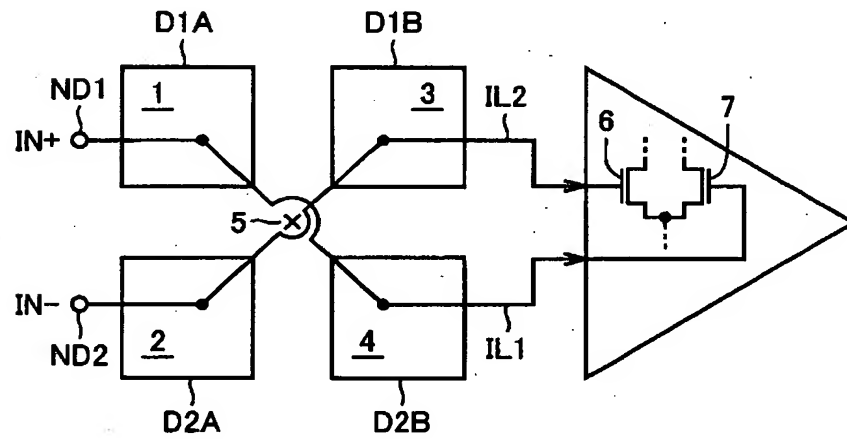
線、D1A, D1B, D2A, D2B 不純物領域、9 Pウェル、12-27
ダイオード、A1-A8, B1-B8 不純物領域、30-33 ダイオード
、B10, A10, A11, B11 不純物領域、34-37 ダイオード、B
20, A20, A21, B21 不純物領域、38, 38a-38d, 39, 3
9a-391, 45 不純物領域、40 Nウェル、47 ボトムNウェル、9
a Pウェル、46 Nウェル、50-53 アクティブ領域、55a-55b
、56a-56d, 57a-57d 金属配線。

【書類名】 図面

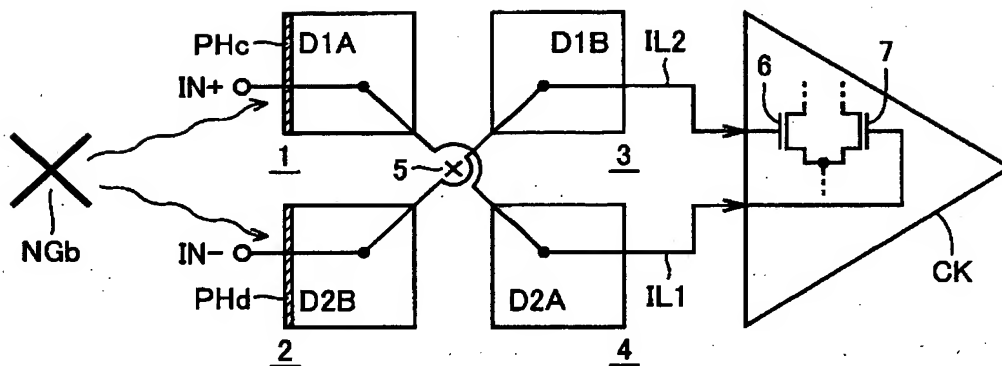
【図 1】



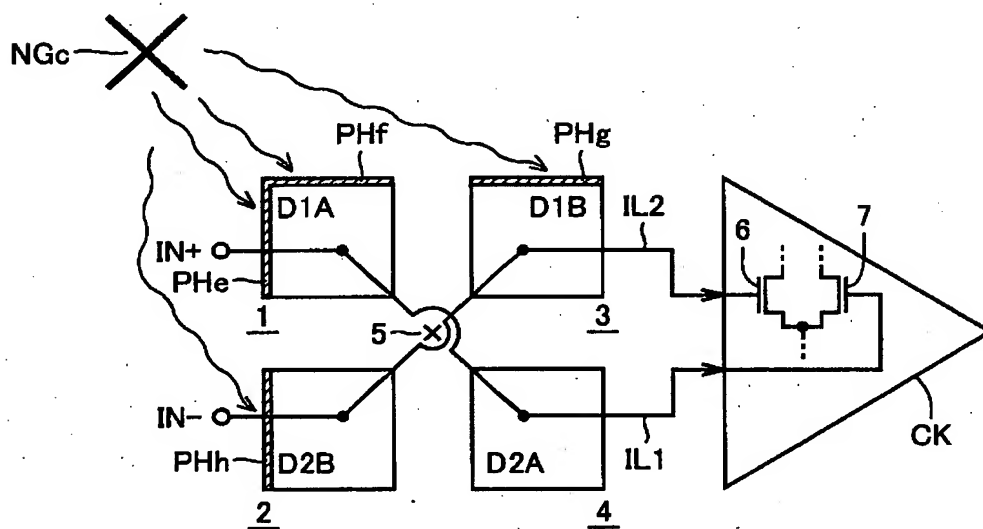
【図 2】



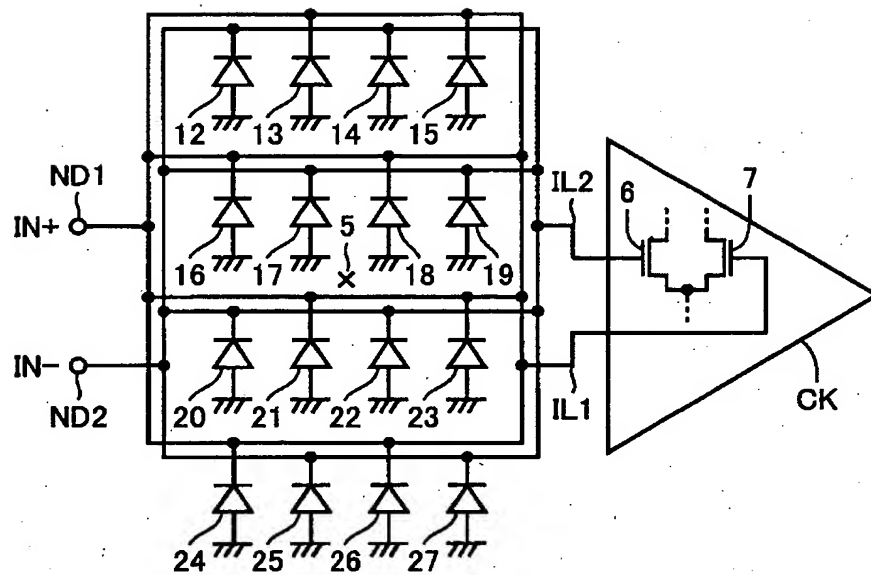
【図 5】



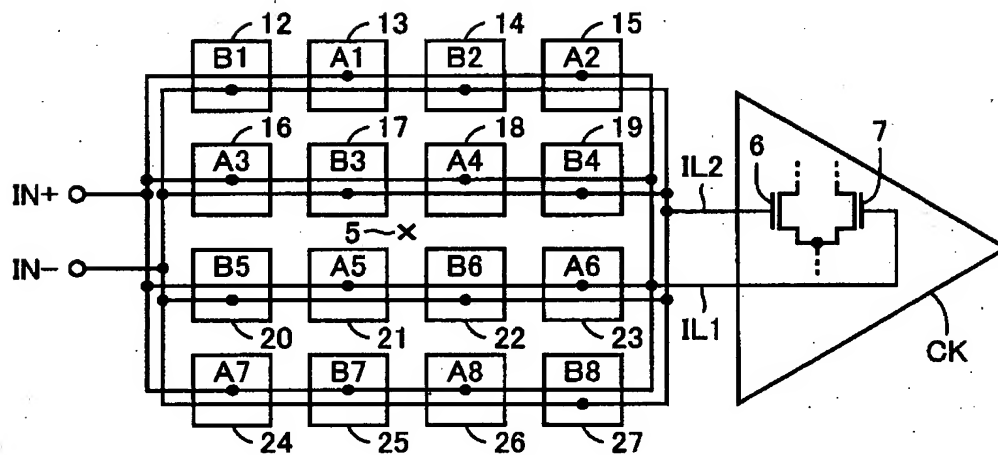
【図 6】



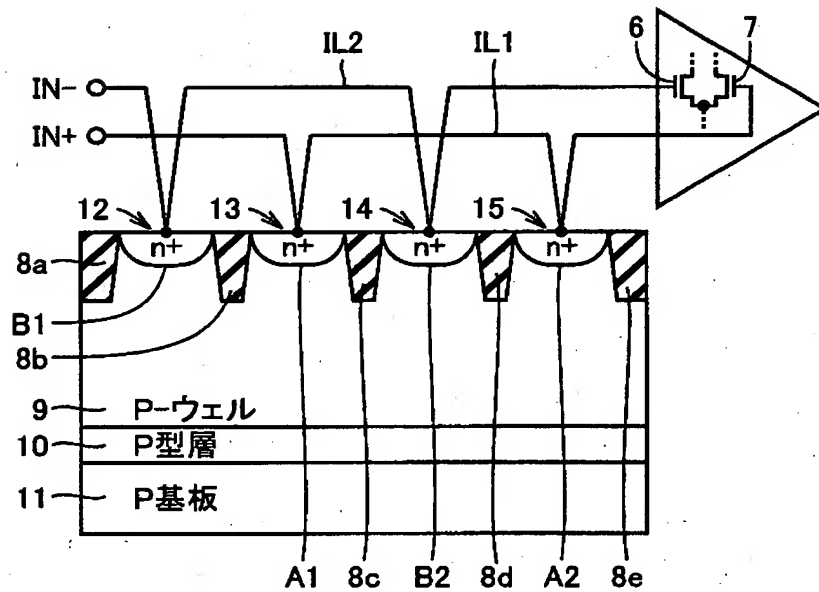
【図 7】



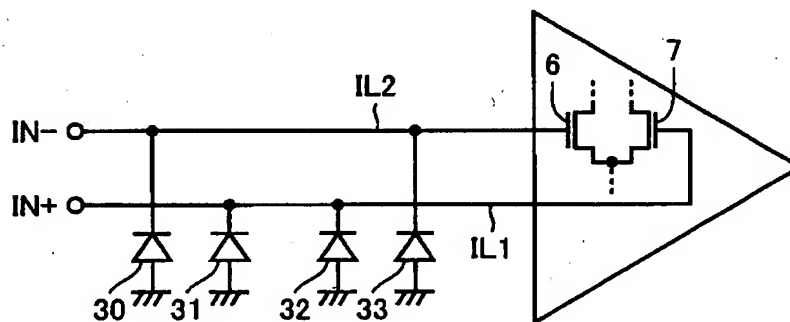
【図 8】



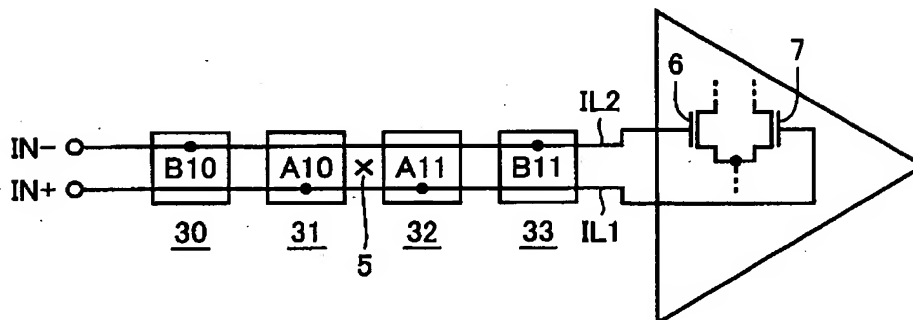
【図 9】



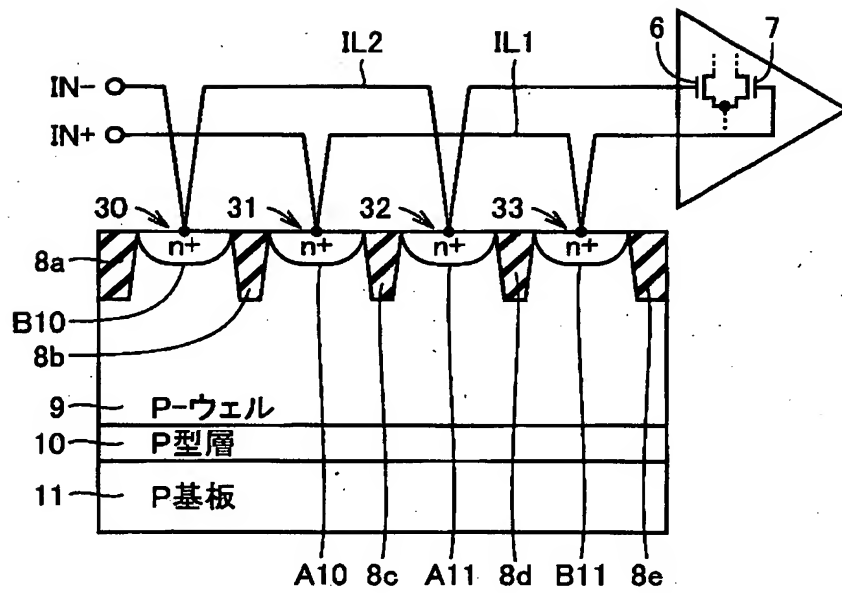
【図 10】



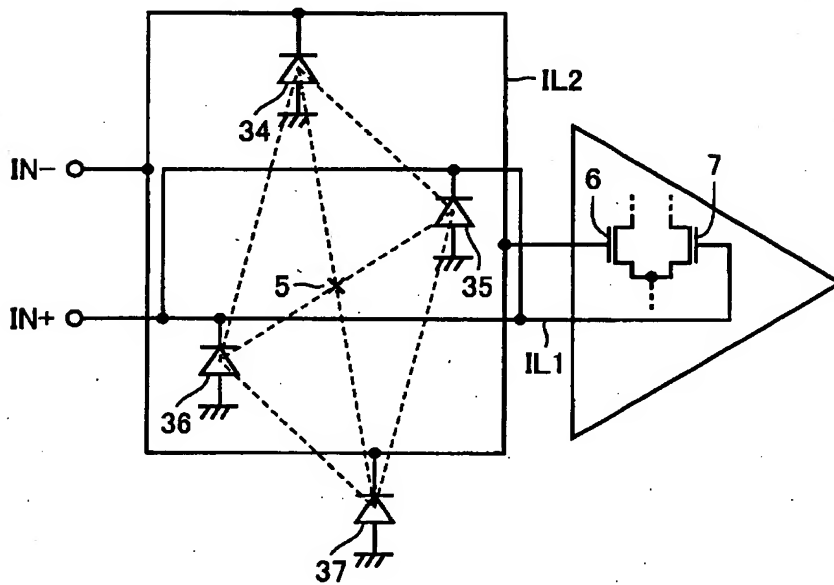
【図 11】



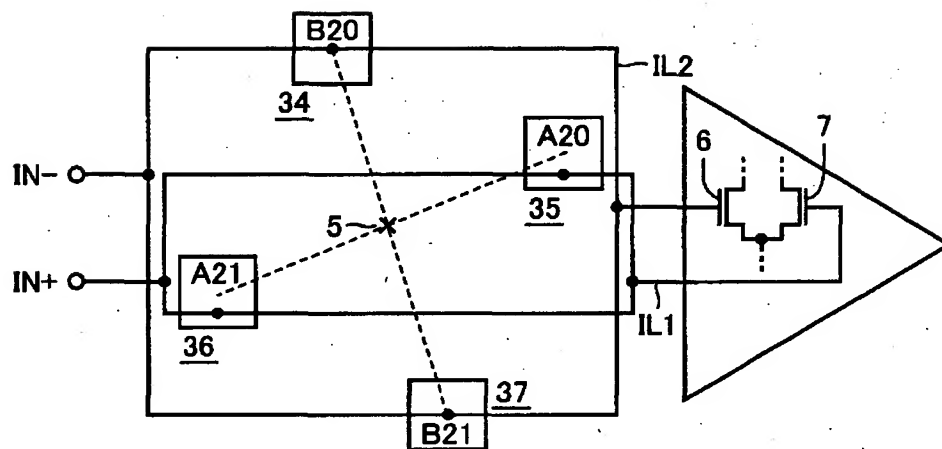
【図 12】



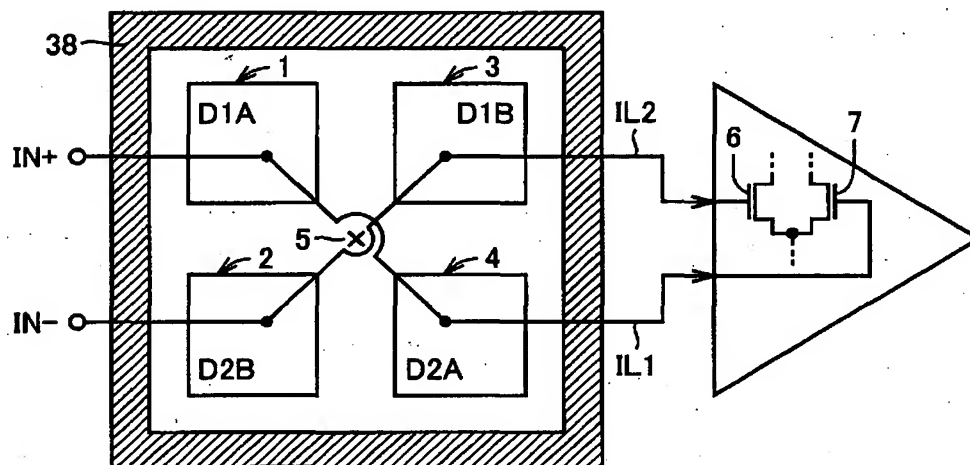
【図 13】



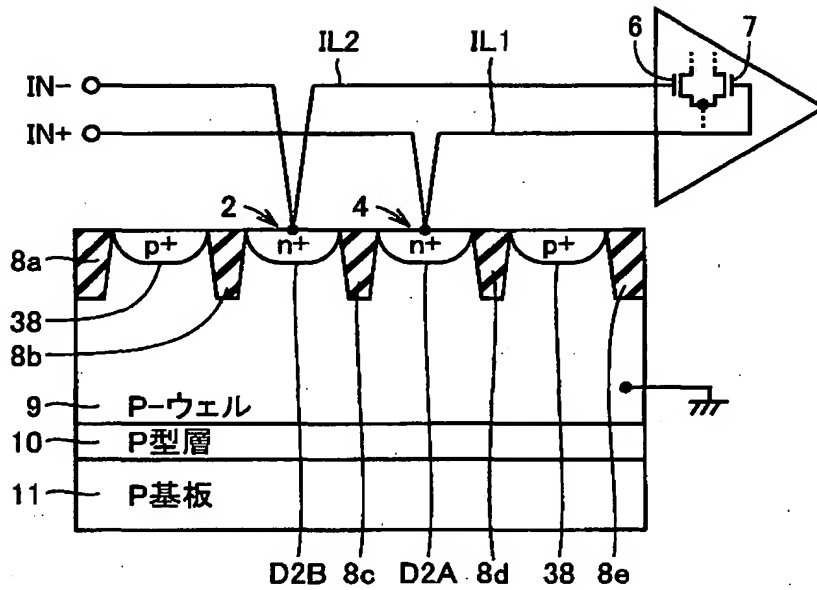
【図 14】



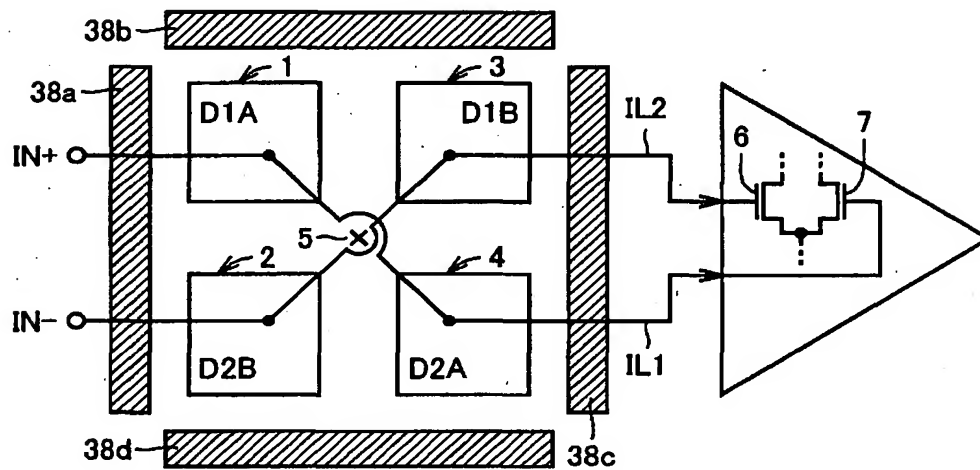
【図 15】



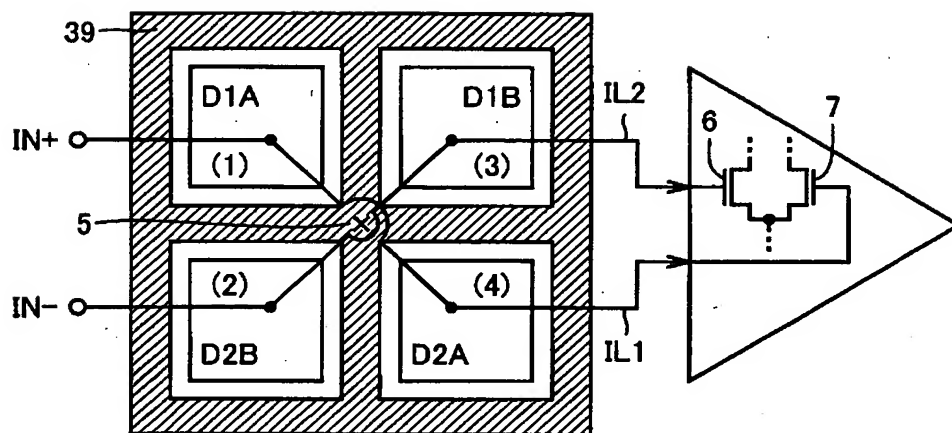
【図 16】



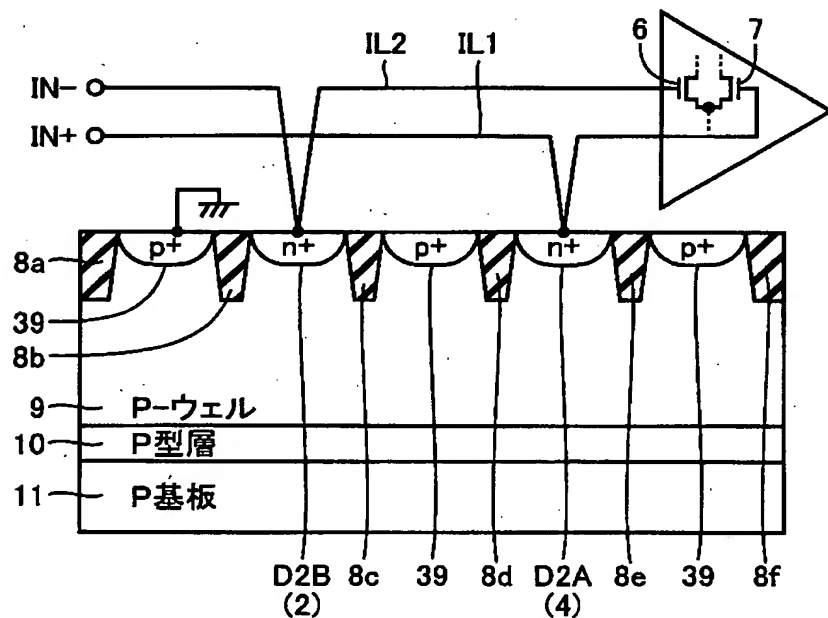
【図 17】



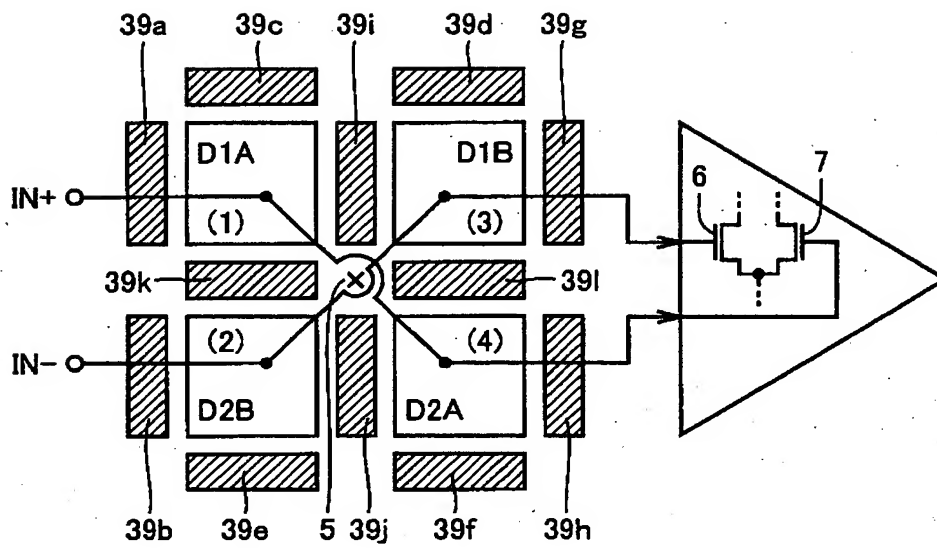
【図 18】



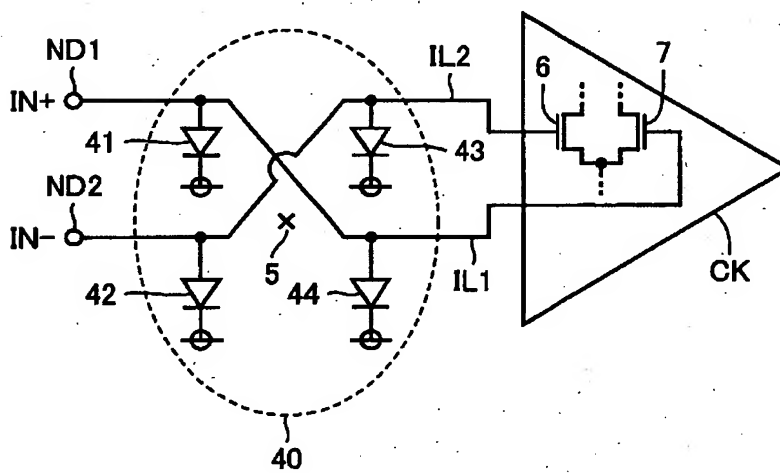
【図 19】



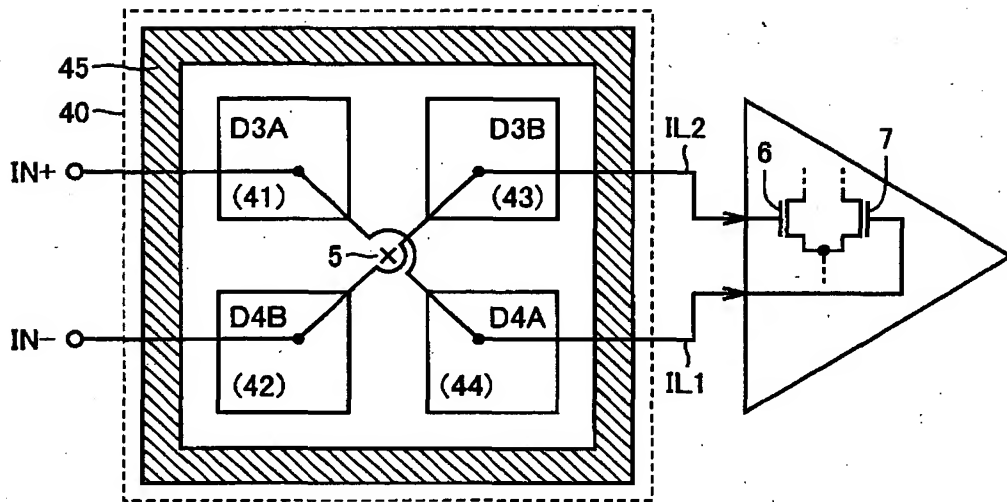
【図 2 0】



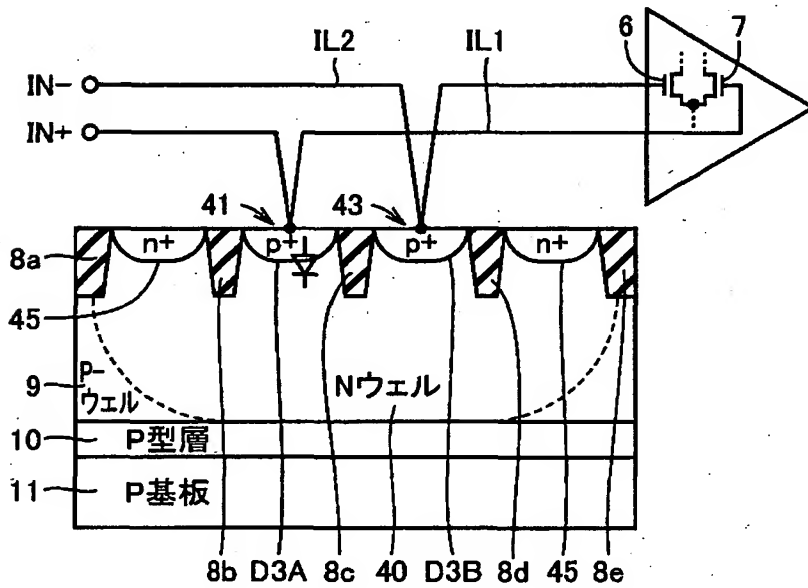
【図 2 1】



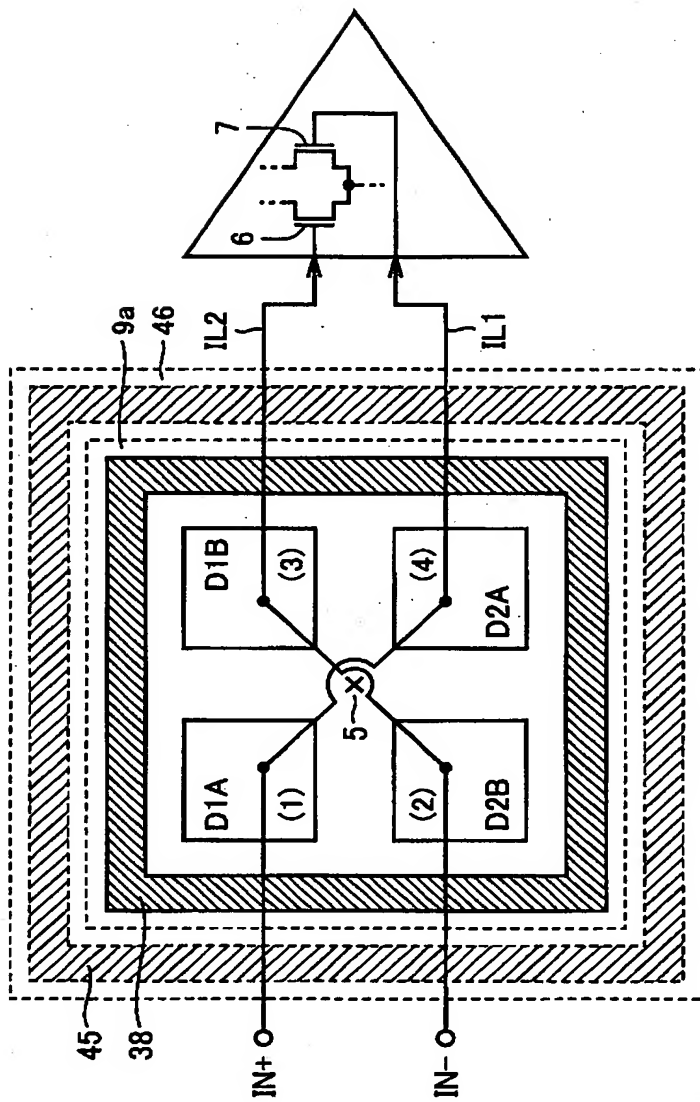
【図 2 2】



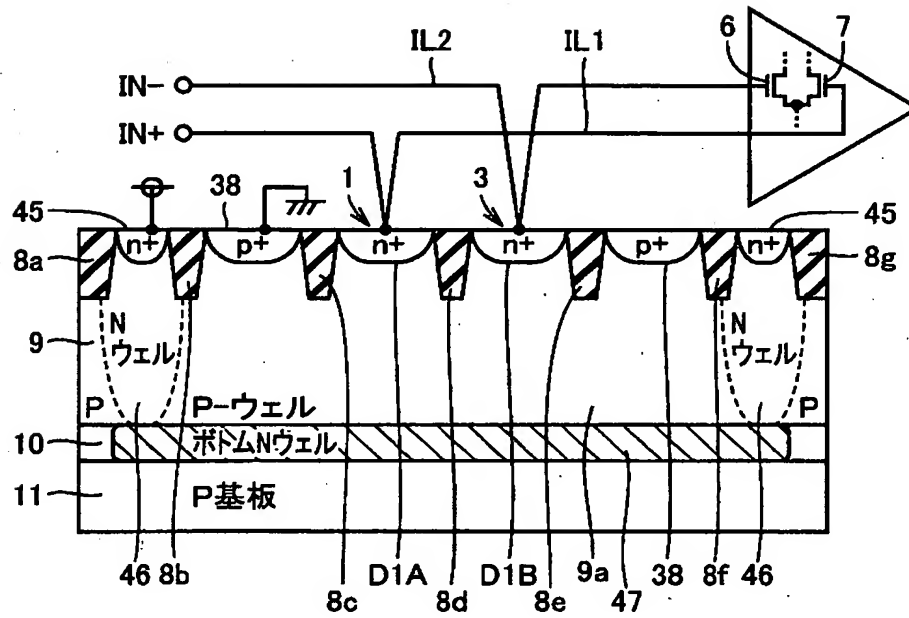
【図 2 3】



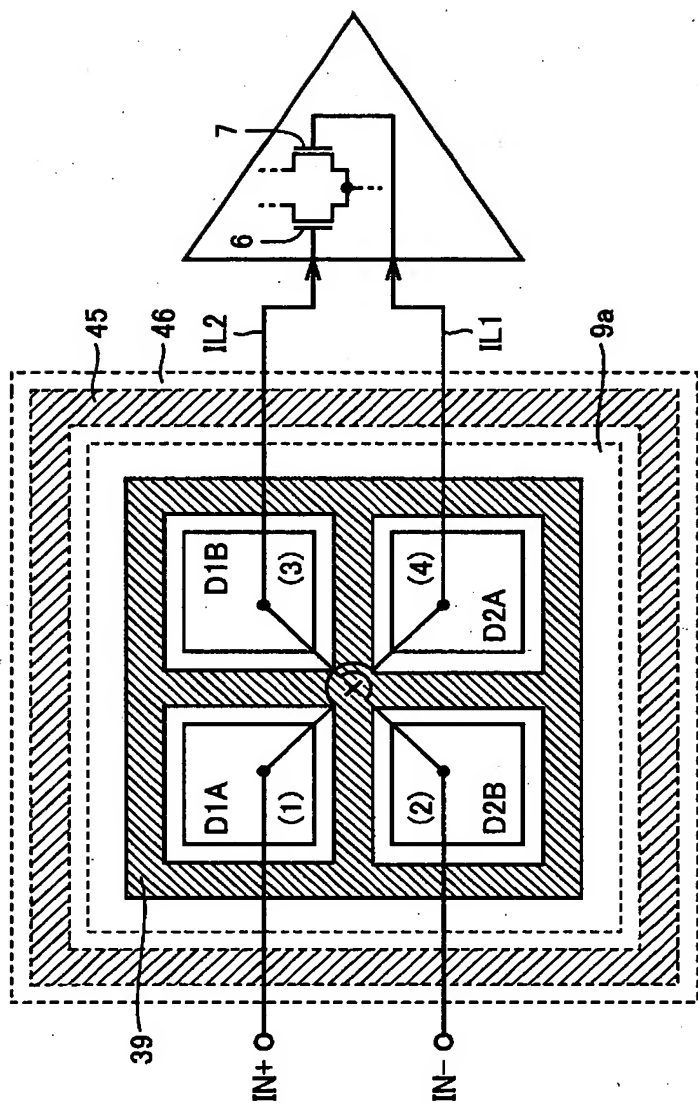
【図 24】



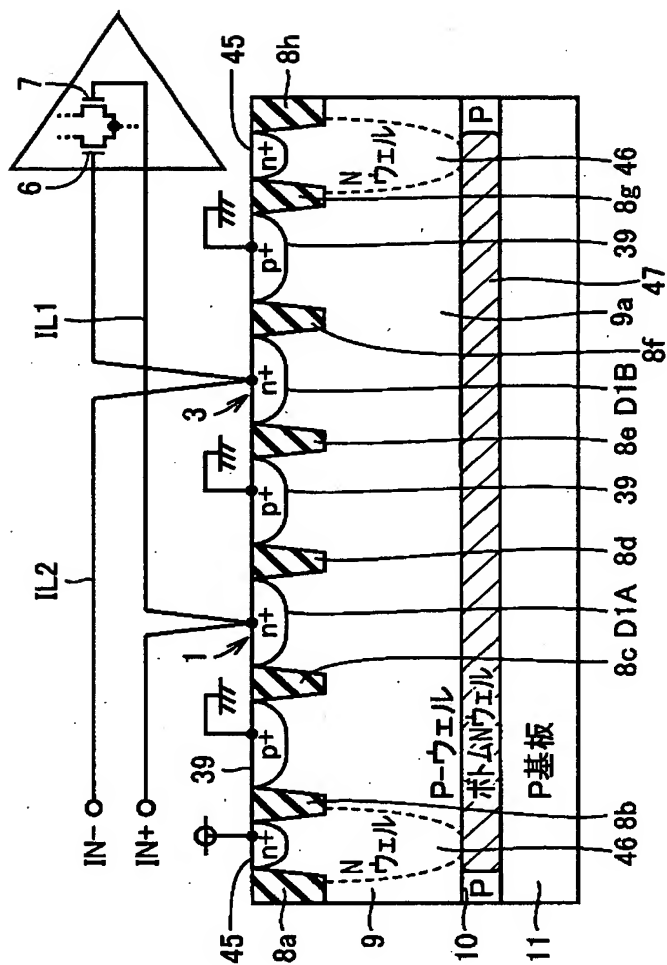
【图 25】



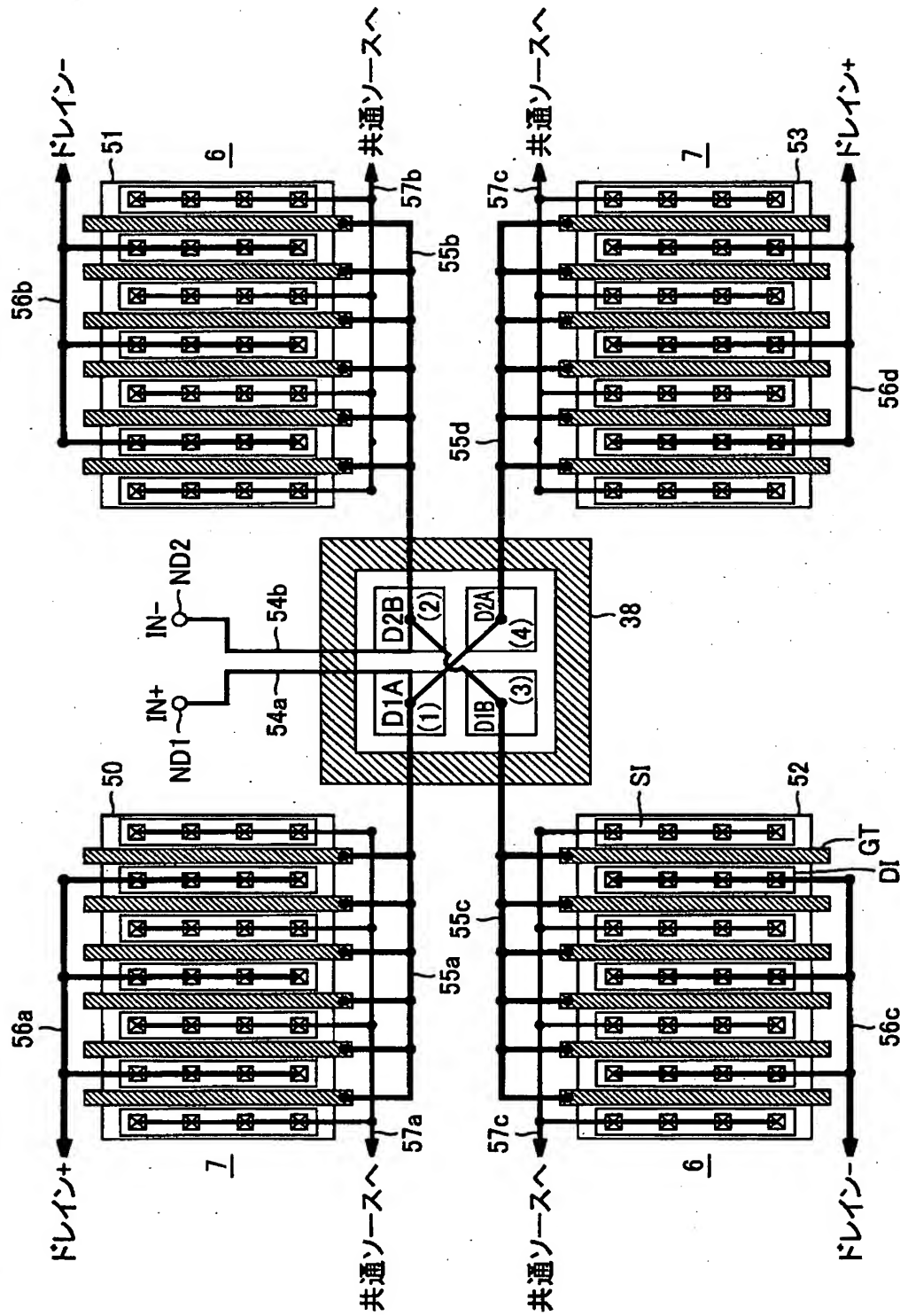
【図 26】



【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 アンテナ効果に起因する差動トランジスタ対の特性のずれを防止し、かつ基板ノイズに対する耐性の強い回路を実現する。

【解決手段】 相補信号を伝達する内部配線（I L 1， I L 2）に個々に2つのグループのダイオードを接続し、内部配線それぞれのダイオード群の重心位置（5）を一致させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社